system MERA 400

DOKUMENTACJA TECHNICZNO–RUCHOWA

TOM IV

Część 2

MODUŁ JEDNOSTKI CENTRALNEJ MJC–400 I MJC–400Pp

Nowości w opisie są zaznaczane na marginesie. Znak przy numerze strony dotyczy numeracji stron.

ZAPIS ZMIAN

ZMIANA	OPIS
"A" 08.01.1979	Oryginał
"B" 17.12.1981	Karta zmian 1122/81. Wymiana stron 1-92 i 1-93
"C" 24.06.1982	Karta zmian 273/82. Zmiana stron: i, iv, v, 1-1; 1-2; 1-3; 1-4; 1-62; 1-63; 1-64 1-65; 1-66; 1-67; 1-92; 1-93; 1-94. Dołożenie stron: 107 ÷ 117.

Uwagi kierować do : Centrum Naukowo Produkcyjne Technik Komputerowych i Pomiarów im.J.Krasickiego , ul. Łopuszańska 117/123 02--232 Warszawa

Producent zastrzega sobie prawo wprowadzania zmian w dokumentacji.

SPIS TREŚCI

1. CHARAKTERYSTYKA TECHNICZNA MODUŁU 1-1

1.1. Przeznaczenie modułu 1-1
1.2. Dane techniczne 1-1
1.3. Rozwiązanie konstrukcyjne 1-2

2. OPIS FUNKCJONALNY 1-5

2.1. Zasada pracy jednostki centralnej jako modułu systemu MERA–400 1-5
2.2. Podstawowe dane o modułach współpracujących z jednostką centralną 1-5
2.3. Opis połączeń jednostki centralnej z innymi modułami systemu 1-5
2.4. Postać przetwarzania informacji 1-7
2.5. Rozkazy wykonywane przez jednostkę centralną 1-11

2.5.1. Pobranie rozkazu 1-11
2.5.2. Określenie efektywności rozkazu 1-11
2.5.3. Wyznaczenie argumentu efektywnego 1-12
2.5.4. Modyfikacja argumentu 1-12
2.5.5. Zestawienie przypadków wyznaczania argumentu efektywnego 1-13

2.6. Lista rozkazów 1-14

2.6.1. Rozkazy legalne 1-15
2.6.2. Rozkazy nielegalne 1-21
2.6.3. Rozkazy dotyczące urządzeń zewnętrznych 1-22
2.6.4. Rozkaz ekstrakod 1-22
2.6.5. Rozkazy niezainstalowanych opcji 1-23
2.6.6. Kody rozkazów 1-24

2.7. Przerwania 1-27
2.8. Operacje z pulpitu technicznego – klucze i wskaźniki 1-30
2.9. Budowa i działanie jednostki centralnej 1-31

2.9.1. Schemat blokowy 1-31
2.9.2. Drogi przepływu informacji 1-35
2.9.3. Tory sterowania 1-39
2.9.4. Schematy czynnościowe 1-41

2.9.4.1. Schemat czynnościowy pętli kluczy – PK 1-41
2.9.4.2. Schemat czynnościowy pętli pobrania rozkazu i wyznaczania argumentu efektywnego 1-45
2.9.4.3. Schemat czynnościowy pętli wykonawczej 1-47
2.9.4.4. Schemat czynnościowy pętli obsługi przerwań 1-60

2.10. Opis budowy procesora 1-62

2.10.1. Plater modułu MJC–400 1-62
2.10.2. Konstrukcja pakietów procesora 1-68
2.10.3. Pakiet SM–PK 1-68
2.10.4. Pakiet sterowania P–X 1-69
2.10.5. Pakiet P–M 1-70
2.10.6. Pakiet P–D 1-73
2.10.7. Pakiet P–P 1-74
2.10.8. Pakiet P–R 1-74
2.10.9. Pakiet P–A 1-75

3. INTERFEJS SYSTEMU MERA–400 1-76

3.1. Przeznaczenie 1-76
3.2. Opis funkcjonalny 1-76

3.2.1. Zasady transmisji 1-76
3.2.2. Sygnały awaryjne 1-80
3.2.3. Zapis do pamięci operacyjnej –WRITE 1-80
3.2.4. Odczyt z pamięci operacyjnej –READ 1-80
3.2.5. Przesłania –SEND 1-80
3.2.6. Pobranie FETCH 1-81
3.2.7. Pobranie specyfikacji przerwania –FETCH 1-83
3.2.8. Przerwanie –INTERRUPT 1-83
3.2.9. Lista sygnałów interfejsu 1-84

3.3. Zasady odbierania i nadawania sygnałów 1-85
3.4. Opis budowy interfejsu 1-85

3.4.1. Pakiety I–SK; I–SP 1-85
3.4.2. Kabel interfejsu KIF 1-87
3.4.3. Terminator TI 1-87
3.4.4. Zasilanie interfejsu 1-87
3.4.5. Działanie układu rezerwacji 1-89

3.5. Zasady łączenia szuflad 1-91

4. PAMIĘĆ OPERACYJNA FERRYTOWA 1-94

4.1. Opis funkcjonalny 1-94

4.1.1. Schemat blokowy pamięci 1-94
4.1.2. Dostęp do bloków pamięci 1-94
4.1.3. Programowy podział pamięci 1-94
4.1.4. Operacje zapisu i odczytu 1-96

4.2. Budowa i działanie modułu 1-96

4.2.1. Rozwiązanie konstrukcyjne 1-96
4.2.2. Realizacja programowego podziału pamięci 1-98
4.2.3. Realizacja operacji zapisu i odczytu w blokach pamięci 1-100
4.2.4. Rejestr adresowy modułu pamięci 1-101
4.2.5. Układ sterowania operacjami zapisu i odczytu 1-101
4.2.6. Skorowidz sygnałów 1-104
4.2.7. Pakiet FJP–8/18/1 1-105
4.2.8. Sposób ustalania pojemności bloku systemowego i numeru modułu 1-105

5. PAMIĘĆ OPERACYJNA PÓŁPRZEWODNIKOWA 107

5.1. Wstęp 1-107
5.2. Opis funkcjonalny pamięci operacyjnej 1-108

5.2.1. Schemat blokowy pamięci 1-108
5.2.2. Dostęp do bloków pamięci 1-108
5.2.3. Programowy podział pamięci 1-108
5.2.4. Operacje zapisu i odczytu 1-110

5.3. Budowa i działanie modułu pamięci półprzewodnikowej 1-110

5.3.1. Rozwiązanie konstrukcyjne 1-110

5.3.2. Realizacja programowanego podziału pamięci 1-112
5.3.3. Realizacja operacji zapisu i odczytu 1-114
5.3.4. Pakiet JPP 16/18 1-114
5.3.5. Sposób ustalania bloku systemowego i numeru modułu 1-116
5.3.6. Skorowidz sygnałów 1-116
5.3.7. Obsługa 1-117

SCHEMATY IDEOWE

Schemat ideowy P–X3–2 2-1
Schemat ideowy P–M3–2 2-11
Schemat ideowy P–D3–2 2-20
Schemat ideowy P–P3–2 2-44
Schemat ideowy P–R3–2 2-58
Schemat ideowy P–A3–2 2-70
Schemat ideowy I–SP1–1 2-85
Schemat ideowy SM–POSE11 2-92
Schemat ideowy SM–PK11 2-103
Schemat ideowy terminatora TI 2-109
Schemat ideowy pakietu JPP 16/18 2-111
Schemat ideowy pakietu SPP 32/16 2-132
Schemat ideowy pakietu PPS 32 2-146

RYSUNKI PAKIETÓW

Pakiet P–X3–2 3-1
Pakiet P–M3–2 3-2
Pakiet P–D3–2 3-3
Pakiet P–P3–2 3-4
Pakiet P–R3–2 3-5
Pakiet P–A3–2 3-6
Pakiet I–SP–1 3-7
Pakiet SM–POSE11 3-11
Pakiet SM–PK11 3-14
Pakiet JPP 16/18 3-18
Pakiet SPP 32/16 3-20
Pakiet PPS 32 3-23

TABELA POŁĄCZEŃ MODUŁU MJC–400 4-1

TABELA POŁĄCZEŃ DODATKOWYCH MJC–400Pp 4-25

1. CHARAKTERYSTYKA TECHNICZNA MODUŁU

1.1. Przeznaczenie modułu

Moduł jednostki centralnej MJC–400 lub MJC–400Pp jest podstawowym składnikiem systemu MERA–400, przeznaczonym do wykonywania rozkazów zgodnie z listą rozkazów, wykonywania operacji pulpitu technicznego oraz do przechowywania systemu operacyjnego i programów użytkowych.

1.2. Dane techniczne

Pod względem konstrukcyjnym moduł wykonany jest w postaci odrębnej szuflady o wysokości 9U, zawierającej niżej wymienione elementy funkcjonalne:

– procesor
– pamięć operacyjna
– kanał znakowy
– pakiet interfejsu
– pulpit techniczny
– zasilacze

Podstawowe parametry techniczne modułu:

- długość słowa – 16 bitów
- osiem 16–bitowych rejestrów uniwersalnych
- 32–bitowy rejestr przerwań, pogrupowany w 11 poziomów obsługi
- maskowanie przerwań
- zegar czasu rzeczywistego
- układ automatycznego ładowania programu
- arytmetyka binarna, uzupełnieniowa do dwóch
- trzy rodzaje modyfikacji rozkazu:
  B–modyfikacja, D–modyfikacja i PRE–modyfikacja.
- pojemność pamięci operacyjnej 32k (64k) słów 16–bitowych + 1 bit parzystości
- adresowanie bezpośrednie 32k słów lub 64 K bajtów
- czas cyklu pamięci 1100 nsek ±10%
- programowy podział na bloki użytkowe

Warunki eksploatacji modułu:

• temperatura otoczenia	– $+5^{o}C \div +35^{o}C$
• szybkość zmian temperatury	– $<5^{o}C/h$
• wilgotność względna powietrza (bez kondensacji)	– 40 ÷ 95% przy $30^{o}C$
• ciśnienie atmosferyczne	– 84 ÷ 106 KPa
• atmosfera agresywności wg PN–71/H–04651	– stopień agresywności "B"
• wibracje sinusoidalne	– amplituda 0,15 mm; częstotliwość 3 ÷ 35 Hz

Warunki transportu:

- temperatura otoczenia — $-40^{o}C \div +55^{o}C$
- szybkość zmian temperatury otoczenia — $<10^{o}C/h$
- maksymalna wilgotność względna (bez kondensacji) — 95% przy $30^{o}C$
- ciśnienie atmosferyczne — 84 ÷ 106 KPa
- udary wielokrotne — przyspieszenie 147 m/s^2, czas trwania impulsów 5 ÷10 mS
- wibracje sinusoidalne — amplituda 0,35 mm, częstotliwość 10 ÷55 Hz

Wymiary modułu

483x735x399

Masa modułu

67 kg

Zasilanie modułu

- źródło zasilania — sieć jednofazowa
- częstotliwość — 50 ± 1 Hz
- napięcie sieci — 220 V $^{+10\%}_{-15\%}$
- moc pobierana — 700 VA

1.3. Rozwiązanie konstrukcyjne

Moduł składa się z następujących zespołów funkcjonalnych:

- blok OJC–400 — konstrukcja mechaniczna, łącząca elektrycznie i mechanicznie procesor, kanał znakowy, pamięć operacyjną, zasilacze, interfejs, plater, pulpit techniczny
- procesor zawierający siedem pakietów:
  - pakiet kluczy P–K (wchodzi w skład pulpitu technicznego)
  - pakiet sterowania P–X
  - pakiet mikrooperacji P–M
  - pakiet dekodera P–D
  - pakiet przerwań P–P
  - pakiet rejestrów P–R
  - pakiet arytmometru P–A
- kanał znakowy zawierający pakiety:
  - SM–KZA
  - SM–KZB

- pamięć operacyjna zawierająca:

  dla modułu MJC–400 (32k):
  – pakiet sterowania pamięcią SM–POSE
  – cztery pakiety pamięci ferrytowej FJP 8/18/1

  dla modułu MJC–400Pp wyk. 1 (32k):
  – pakiet sterowania pamięcią SPP 32/16
  – dwa pakiety pamięci półprzewodnikowej JPP 16/18

  dla modułu MJC–400Pp wyk. 2 (64k):
  – pakiet sterowania pamięcią SPP 32/16
  – pakiet adresacji PPS 32
  – cztery pakiety pamięci półprzewodnikowej JPP 16/18

- interfejs zawierający:
  – pakiet interfejsu I–SP
  – dwa terminatory interfejsu TI

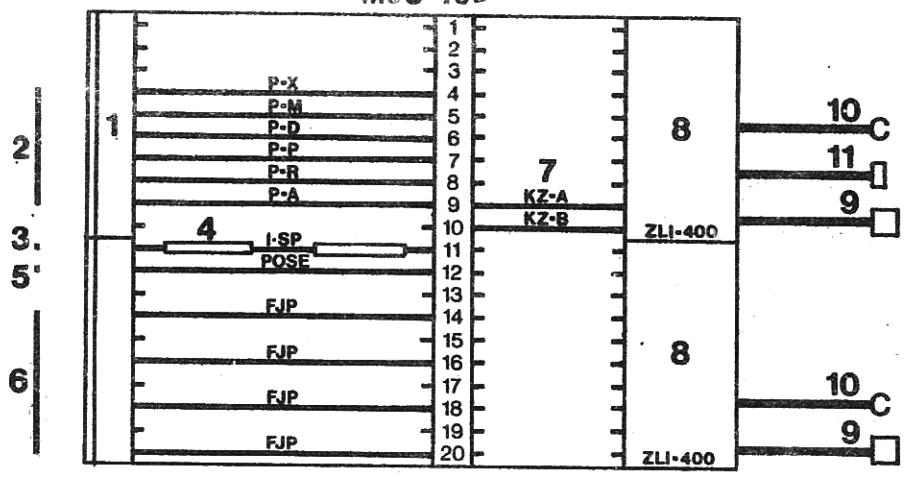
- Zasilacze – moduł zawiera dwa zasilacze mocowane w tylnej części szuflady. Zasilacz górny ZLI–400 zasila procesor i kanał znakowy, zasilacz dolny – ZLI–400 dla modułu MJC–400, a ZLI–400P dla modułu MJC–400Pp – zasila pamięć operacyjną i interfejs.

- Plater – plater modułu realizuje połączenia pomiędzy pakietami i rozprowadza napięcia zasilające. Połączenia pomiędzy pakietami są wykonane metodą owijania przewodów i metodą druku po zewnętrznej stronie plateru. Napięcia zasilające prowadzone są drukiem po obydwu stronach plateru.

- Pulpity – moduł zawiera dwa pulpity. Na pulpicie górnym umieszczony jest pakiet kluczy SM–PK z przełącznikami i wskaźnikami świetlnymi jednostki centralnej. Pulpit dolny zawiera wentylatory i filtry powietrza, a w module MJC–400Pp zawiera również klucze i sygnalizację włączenia baterii.

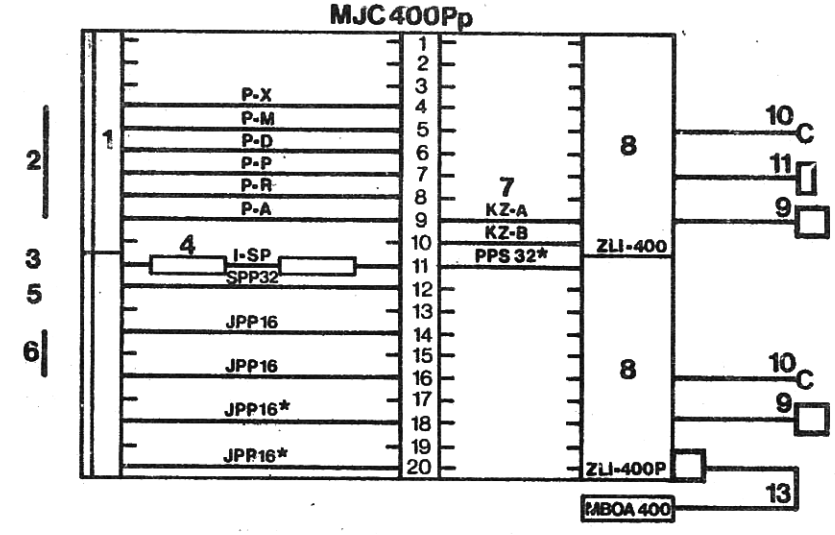
Ponadto w module przewidziano miejsca pakietowe dla instalacji modułu arytmometru zmiennoprzecinkowego MAZ–400, modułu kanału automatyki MPI–400 oraz ośmiu pakietów jednostek sterujących wchodzących w skład modułów urządzeń zewnętrznych.
Przewidziano również dziewięć miejsc pakietowych dla niestandardowej rozbudowy systemu.

MJC 400



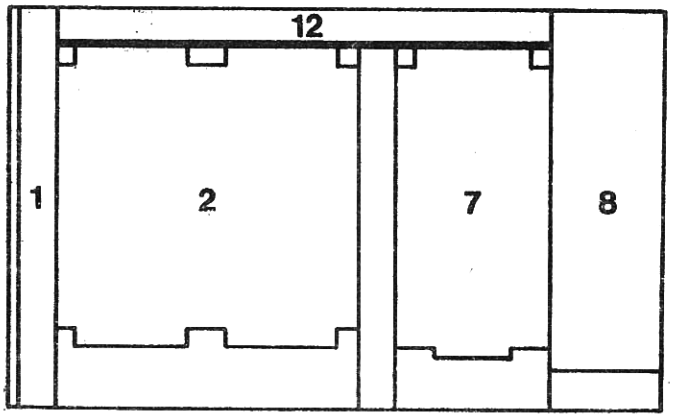
widok z boku od strony pakietów

MJC 400Pp



widok z boku od strony pakietów

★ pakiety dla wykonania 2 o pojemności 64k słów



widok z góry

1. Pulpit techniczny z pakietem P–K
2. Procesor
3. Pakiet interfejsu
4. Terminator interfejsu
5. Pakiet sterowania pamięcią
6. Pamięć operacyjna
7. Kanał znakowy
8. Zasilacz
9. Kabel sieciowy
10. Sznur uziemień
11. Kabel załączania sieci KSA
12. Plater
13. Moduł baterii

2. OPIS FUNKCJONALNY

2.1. Zasada pracy jednostki centralnej jako modułu systemu MERA–400.

Jednostka centralna jest modułem systemu MERA–400, który w swej maksymalnej konfiguracji może składać się z następujących elementów:

– 2 jednostki centralne;
– 16 modułów pamięci operacyjnej;
– 16 kanałów.

Wymienione elementy systemu są dołączone do wspólnego interfejsu. Za pośrednictwem imterfejsu jednostka centralna współpracuje z każdym z modułów systemu. Jednostka centralna stanowi podstawowy moduł przetwarzania w systemie MERA–400. Użycie dwóch jednostek centralnych umożliwia pracę dwuprocentową.

Sterowanie jednostki centralnej jest w pełni asynchroniczne. Dzięki temu, przy realizacji jednostki centralnej można stosować elementy elektroniczne o dowolnych parametrach dynamicznych, pod warunkiem że będą spełniały wymagane parametry funkcjonalne. Również dzięki asynchroniczności, jednostka centralna może współpracować z pamięciami i kanałami o różnych parametrach dynamicznych.

2.2. Podstawowe dane o modułach współpracujących z jednostką centralną.

Jednostka centralna współpracuje z pamięcią operacyjną, kanałami, drugą jednostką centralną oraz arytmometrem wielokrotnej precyzji.

Pamięć operacyjna może przyjmować różne konfiguracje. W szczególności maksymalna konfiguracja pamięci może obejmować:

– 16 bloków po 32 k słów 16–bitowych

Kanały:

– znakowy;
– pamięciowy;
– automatyki;
– i inne

Maksymalna ilość kanałów, zestawianych w dowolny sposób, może wynosić 16.

Współpraca z pamięcią operacyjną, kanałami oraz drugą jednostką centralną odbywa się za pośrednictwem interfejsu.

Arytmometr wielokrotnej precyzji służy do zwiększenia zakresu operacji arytmetycznych wykonywanych sprzętowo. Wykonywanych jest 9 rozkazów, a mianowicie:

– dodawanie, odejmowanie, mnożenie, dzielenie liczb zmiennoprzecinkowych;
– dodawanie i odejmowanie liczb długich;
– mnożenie i dzielenie liczb stałoprzecinkowych;
– normalizacja liczb zmiennoprzecinkowych.

Argumenty i wyniki działań przedstawione są w notacji uzupełnionej do dwóch. Współpraca odbywa się za pośrednictwem specjalnej drogi łączącej arytmometr wielokrotnej precyzji z jednostką centralną.

Szczegółowe dane dotyczące w/w elementów współpracujących z jednostką centralną znajdują się w odpowiednich opisach technicznych.

2.3. Opis połączeń jednostki centralnej z innymi modułami systemu

Interfejs jest elementem, za pośrednictwem którego odbywa się współpraca wszystkich modułów systemu MERA–400. Pakiety interfejsu zawierają układy przekazywania sygnałów, układy rezerwacji szyny

dla 4 modułów. Ilość sygnałów interfejsowych (sterujących i informacyjnych) wynosi 48, a mianowicie:

DT 0 ÷15	– dane
AD 0 ÷15	– adresy
NB 0 ÷ 3	– numery bloków pamięci
R	– czytaj z pamięci operacyjnej
W	– pisz do pamięci operacyjnej
S	– wyślij do kanału
F	– pobierz z kanału
IN	– przerwanie
CL	– zerowanie
OK	– potwierdzenie przyjęcia operacji przez moduł
EN	– zajęty
PE	– błąd parzystości
QB	– wskaźnik systemu
PN	– numer procesora
PA	– alarm zasilania modułów zewnętrznych.

Zapotrzebowanie na zajęcie szyny modułu zgłaszają do układu rezerwacji przy pomocy sygnałów ZG 1 ÷4. Zezwolenie na zajęcie szyny podawane jest na odpowiednią linię ZW 1÷4 (sygnały te dostępne są w dwóch konwencjach dodatniej i ujemnej). Sygnały ZZ 1 ÷4 oznaczają zezwolenie na zgłoszenie (są one prostą funkcją obecności danego modułu w szafie).

Współpraca jednostki centralnej z arytmometrem wielokrotnej precyzji odbywa się za pośrednictwem specjalnego połączenia.
Wykaz i znaczenie sygnałów między jednostką centralną a arytmometrem wielokrotnej precyzji:

– sygnały z jednostki centralnej do arytmometru

W [0 ÷ 15]	– zawartość szyny W w jednostce centralnej
R03/C	– wskaźnik C, pozycja 3 rejestru R0
R04/V	– wskaźnik V, pozycja 4 rejestru R0
PUFA	– suma ośmiu rozkazów arytmetycznych zmienno i stałoprzecinkowych
IR [7 ÷9]	– rozszerzenie kodu operacji, pozycje [7 ÷9] rejestru rozkazów (pole A)
NRF	– rozkaz normalizuj liczbę zmiennoprzecinkową
MODE	– reżim pracy ciągłej lub krokowej
STEP	– krok, przy reżimie pracy krokowej
EFP	– warunek przejścia do uruchomienia sterowania arytmometru wielokrotnej precyzji
GOT	– sygnał gotowości strobujący warunek przejścia
OK★	– sygnał informujący, że na szynie W jest dostępna informacja przy operacji odczytu
OKEN	– sygnał pomocniczy do sterowania współpracy z pamięcią

– sygnały z arytmometru do jednostki centralnej:

ZP [0 ÷15]	– szyna informacyjna
FI0	– zgłoszenie przerwania nadmiaru dzielenia stałoprzecinkowego
FI1	– zgłoszenie przerwania podmiaru zmiennoprzecinkowego
FI2	– zgłoszenie przerwania nadmiaru zmiennoprzecinkowego
FI3	– zgłoszenie przerwania błędu danych lub próby dzielenia przez zero

RLP★FP	– zapis do rejestrów R1, R2, R3 w jednostce centralnej wg stanu licznika LP
LPA LPB	– wyjścia licznika LP, służącego do wybrania rejestrów
S ★FP	– sygnał odczytu rejestru na szynę W wg stanu licznika LP
UST R0★FP	– ustaw rejestr R0 pozycje 0 ÷ 3
F13	– wysterowanie informacji z arytmometru wielokrotnej precyzji na szynę W
STROB 1	– sygnał strobu
SR★FP READ★ FP/F1	– sygnały służące do wysłania rozkazu odczytu z pamięci wg zawartości rejestru adresowego; po odczycie zawartość rejestru adresowego zwiększa się o 1.

2.4. Postać przetwarzanych informacji

Słowo maszynowe ma długość 16 bitów numerowanych od 0 do 15 (od najbardziej do najmniej znaczącej pozycji).
W jednostce centralnej przetwarza się dane, adresy i rozkazy.

Dane:

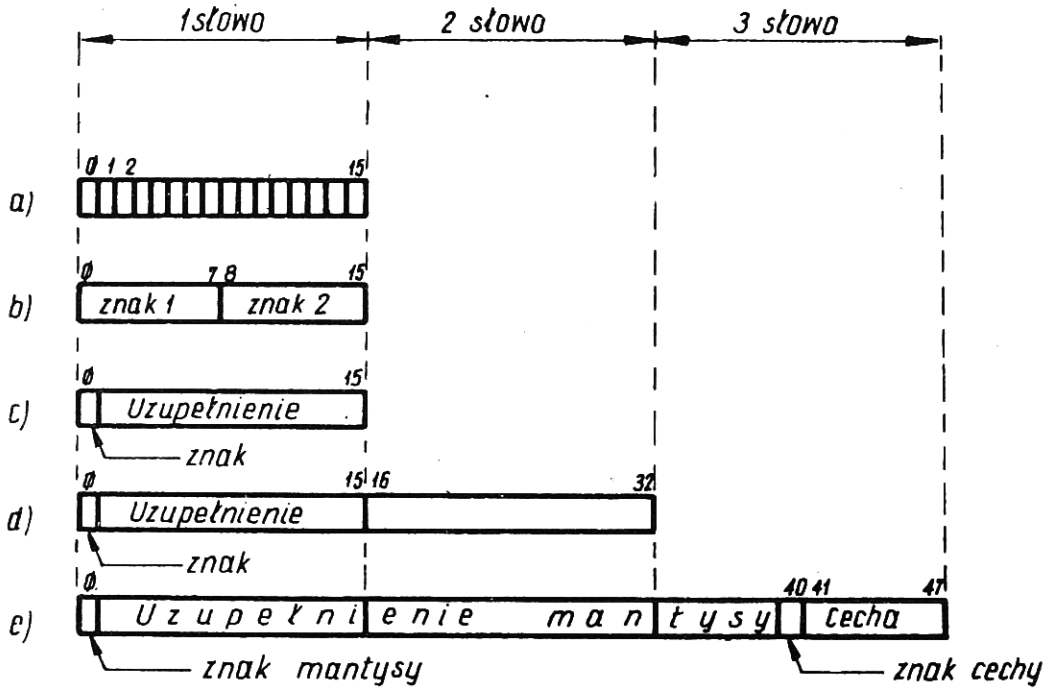
– informacja logiczna – zajmuje jedno słowo i traktowana jest jako ciąg 16 niezależnych bitów (rys. 2.4.1a);

– znaki alfanumeryczne – ich długość, rozmieszczenie w słowie oraz kody określone są programem; przeważnie stosowane są znaki 7 lub 8–bitowe, umieszczone po dwa w słowie (rys. 2.4. 1b) zapisane w kodzie ISO–7

– liczba stałoprzecinkowa krótka – zajmuje jednos słowo i traktowana jest jako liczba całkowita (rys. 2.4.1c), liczba zapisana jest w notacji uzupełnieniowej do dwóch

– liczba stałoprzecinkowa długa – zajmuje dwa słowa i traktowana jest jako liczba całkowita (rys. 2.4.1d); zapis w notacji uzupełnieniowej

– liczba zmiennoprzecinkowa – zajmuje trzy słowa (rys. 2.4.1.e). Jako standard przyjmuje się postać znormalizowaną. Mantysa zajmuje pierwszych 40 bitów i traktowana jest jako liczba zaprzecinkowa w notacji uzupełnieniowej. Cecha zajmuje ostatnie osiem bitów i traktowana jest jako liczba całkowita również w notacji uzupełnieniowej do dwóch.



Rys. 2.4.1 Postać danych

Rozkazy:

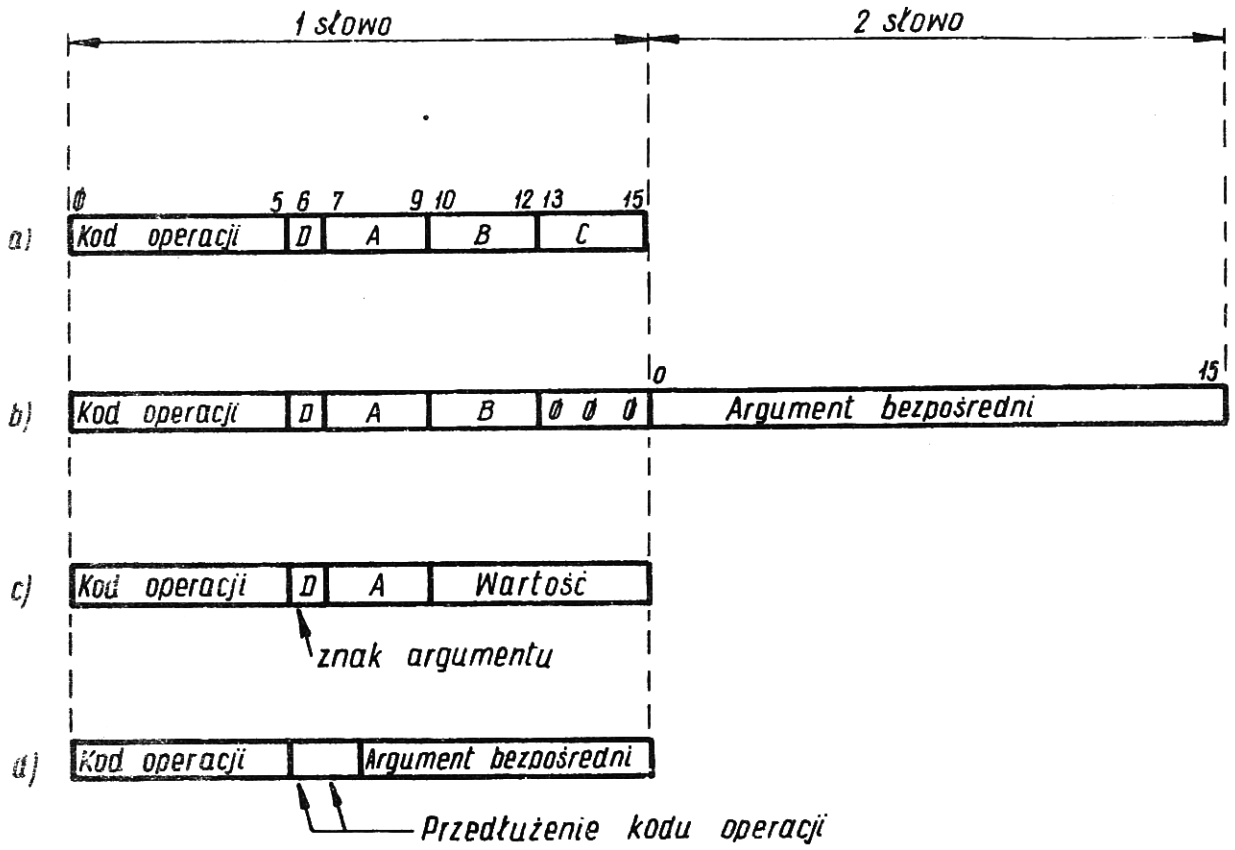
a) rozkazy w podstawowej postaci (rys. 2.4.2.a)

- zajmują 1 słowo maszynowe zwane słowem podstawowym, które zawiera następujące informacje:
  - kod operacji — podstawowy kod operacji umieszczony jest na pozycjach 0÷5 i służy do rozróżnienia rozkazów lub grup rozkazowych
  - bit D (pozycja 6) — zawiera bit adresowania pośredniego lub stanowi przedłużenie kodu operacji
  - pole A (pozycje 7 ÷9) — zawiera numer rejestru uniwersalnego lub stanowi przedłużenie kodu operacji
  - pole B (pozycje 10 ÷ 12) — zawiera numer rejestru indeksowego służącego B—modyfikacji argumentu lub stanowi przedłużenie kodu operacji
  - pole C (pozycje 13 ÷15) — zawiera numer rejestru uniwersalnego lub stanowi przedłużenie kodu operacji

b) rozkazy z argumentem normalnym bezpośrednim (rys. 2.4.2.b)
zajmują dwa słowa maszynowe — argument zajmuje następne słowo za słowem podstawowym rozkazu; w tym przypadku znaczenie poszczególnych pozycji jest takie same, jak w p. a) z tym, że pole C = 0,

c) rozkazy z argumentem krótkim bezpośrednim (rys.2.4.2.c) argument 7-bitowy jest podany na pozycjach D,B,C; bit D wskazuje znak argumentu krótkiego, pola B i C — wartość; znaczenie pozostałych pozycji jak w p.a),

d) rozkazy z argumentem bajtowym bezpośrednim (rys.2.4.2.d) — 8-bitowy argument bezpośredni podany jest na pozycjach 8 ÷ 15, pozycje 0÷ 5 określają kod operacji, pozycje 6 i 7 stanowią przedłużenie kodu operacji.



Rys. 2.4.2 Postać rozkazu

Adresy:

a) adres słowa – 16–bitowa, całkowita liczba binarna z przedziału 0÷ 65536

b) adres bajtu – 16–bitowa, całkowita liczba binarna z przedziału 0÷ 65536; adres parzysty oznacza bajt starszy (pozycje 0÷ 7), nieparzysty oznacza bajt młodszy (pozycje 8÷ 15)

W przypadku adresu bajtu, słowo adresowe przesuwane jest o 1 bit w prawo. Otrzymana po przesunięciu liczba stanowi adres słowa pamięci zawierający argument rozkazu bajtowego. Bit wychodzący przy przesunięciu wskazuje, który bajt słowa został zaadresowany.

W minikomputerze MERA–400 można adresować bezpośrednio 64k słów 16–bitowych lub 64k bajtów 8–bitowych.

2.5. Rozkazy wykonywane przez jednostkę centralną

Pełny cykl czynności minikomputera związany z wykonywaniem każdego rozkazu jest następujący:

– pobranie rozkazu z miejsca pamięci operacyjnej wskazanego przez aktualną zawartość licznika rozkazów IC;
– określenie efektywności rozkazu;
– wyznaczenie argumentu efektywnego;
– wykonanie czynności określonej kodem operacji rozkazu.

W skład czynności związanych z wykonaniem cyklu rozkazowego wchodzi ustalenie nowej zawartości licznika rozkazów. W przypadku, gdy nie jest to rozkaz typu skokowego i nie zachodzą przypadki szczególne, polega ono na zwiększeniu zawartości IC o długości rozkazu liczoną w słowach, tzn. o 1 dla rozkazów jednosłowowych, o 2 dla dwusłowowych.

Po zakończeniu każdego cyklu rozkazowego, w zależności od warunków zaistniałych w minikomputerze, następuje przejście do jednej z następujących czynności:

– obsługa przerwania;
– zatrzymanie minikomputera, który przechodzi wówczas w stan STOP lub w stan CZEKAJ.

2.5.1. Pobranie rozkazu

Rozkaz pobierany jest z bloku systemowego pamięci operacyjnej, gdy wskaźnik Q=0 lub z bloku o numerze wskazanym zawartością rejestru NB, gdy Q=1.

Adres pierwszego słowa rozkazu wskazany jest zawartością licznika rozkazów IC. Liczba pobranych słów zależy od długości rozkazu.

2.5.2. Określenie efektywności rozkazu

Rozkaz jest nieefektywny, to znaczy nie zostaje wykonany w niżej wymienionych przypadkach:

a) Rozkaz nieprawidłowy – rozpoznanie nieprawidłowego rozkazu dokonywane jest w przypadku wskaźnika przeskoku P = 0 i może być spowodowane jedną z trzech przyczyn:

– błędnym kodem operacji,
– po raz czwarty użytym rozkazem MD (modyfikuj),
– rozkazem nielegalnym użytym w programie użytkowym.

Wykrycie nieprawidłowego rozkazu powoduje wykonanie następujących czynności:

– wyzerowanie modyfikatora (MOD),
– wpisanie "1" do odpowiedniego wskaźnika zgłoszenia przerwania (pozycja 6 rejestru zgłoszeń RZ),
– natychmiastowe zakończenie rozkazu.

Po wykryciu nieprawidłowego rozkazu żadne inne warunku nie są badane. Zawartość rejestrów programowych i pamięci nie ulega zmianie. Licznik rozkazów zawiera adres pierwszego słowa tego rozkazu zwiększony o 1.

b) Wskaźnik przeskoku P zawiera "1"

W przypadku b) następuje wykonanie w maszynie następujących czynności:

- wpisanie "0" do wskaźnika P,
- wyzerowanie modyfikatora,
- natychmiastowe zakończenie rozkazu.

Zawartość rejestrów programowych i pamięci nie ulega zmianie. Licznik rozkazów zawiera adres pierwszego słowa następnego rozkazu.

2.5.3. Wyznaczenie argumentu efektywnego

Argument efektywny oznaczony N (lub N^{*}) rozkazu jest to argument uzyskany z argumentu pierwotnego rozkazu przez wykonanie wszystkich wskazanych modyfikacji i jest zawsze pełną liczbą 16–bitową. Jeżeli żadna z modyfikacji nie jest wykonywana, argumentem efektywnym jest argument pierwotny rozkazu, wydłużony w razie potrzeby do pełnej 16–bitowej długości. Argument efektywny wyznaczany jest kilkoma sposobami, zależnie od postaci argumentu pierwotnego rozkazu.

Argument pierwotny rozkazu może należeć do jednego z następujących rodzajów:

a) argument normalny jest liczbą 16–bitową znajdującą się w miejscu wskazanym przez pole C rozkazu
   - jeżeli pole C = 0 argument stanowi zawartość następnego słowa za słowem podstawowym rozkazu;
   - jeżeli pole C ≠0 argument stanowi zawartość rejestru uniwersalnego o numerze wskazanym polem C;

b) argument krótki jest liczbą 7–bitową zapisaną w notacji znak – wartość bezwzględna i umieszczoną bezpośrednio w rozkazie
   - bit D zawiera znak argumentu;
   - pola B i C zawierają łącznie 6–bitową wartość bezwzględną argumentu.

   krótki argument jest przekształcony do postaci pełnej, 16–bitowej liczby stałoprzecinkowej.

c) argument bajtowy bezpośredni zajmuje pozycje 8 ÷15 słowa podstawowego rozkazu. Argument bajtowy jest przekształcany do postaci pełnej 16–bitowej liczby.

2.5.4. Modyfikacja argumentu

Możliwe są trzy różne modyfikacje argumentu: pre–modyfikacja, B–modyfikacja i D–modyfikacja. Są one wykonywane w podanej niżej kolejności:

a) Pre–modyfikacja możliwa jest w każdym rozkazie zawierającym drugi argument i ma miejsce wówczas, gdy zostanie on poprzedzony rozkazem MD (modyfikuj). Argument efektywny polega na dodaniu modyfikatora do argumentu pierwotnego rozkazu.

   Dodawanie jest wykonywane z zaniedbaniem ewentualnego nadmiaru. Rozkaz MD może być również poprzedzony rozkazem MD, ale czwarty kolejny rozkaz MD jest traktowany jako nieprawidłowy i nie jest wykonywany, natomiast powoduje zgłoszenie przerwania.

b) B–modyfikacja jest możliwa w rozkazach z argumentem normalnym, w którym pole B oznacza numer rejestru indeksowego. Polega ona na dodaniu zawartości rejestru indeksowego do argumentu rozkazu. Dodawanie jest wykonywane z zaniedbaniem ewentualnego nadmiaru. Jako rejestry indeksowe mogą być użyte rejestry R1–R7. Zerowa zawartość pola B oznacza brak B–modyfikacji.

c) D–modyfikacja jest możliwa w rozkazach z normalnym argumentem. Polega ona na tym, że uzyskany w wyniku poprzednich modyfikacji argument traktowany jest jako adres argumentu efektywnego. Zerowa zawartość bitu D oznacza brak D–modyfikacji.

Jeśli D = 1, to w celu otrzymania argumentu efektywnego, dokonywany jest odczyt bloku systemowego pamięci operacyjnej, gdy Q = 0, lub z bloku o numerze wskazanym zawartością pozycji rejestru NB, gdy Q = 1. Jeśli D = 0, argumentem efektywnym jest argument wyznaczony w wyniku poprzednich modyfikacji.

2.5.5. Zestawienie przypadków wyznaczania argumentu efektywnego

a) Dla rozkazów z normalnym argumentem możliwe są wszystkie modyfikacje. Zestawienia dla nich przedstawia Tabela 1. Znaczenie użytych oznaczeń jest zgodne z objaśnieniami z rozdziału 2.6.

b) W rozkazach o krótkich argumentach możliwa jest tylko modyfikacja za pomocą modyfikatora.

c) W rozkazach nie mających drugiego argumentu operacja wyznaczania efektywnego argumentu nie jest wykonywana.

TABELA 1

MODYFIKACJE			/C=0/ = 0 /C≠0/ = 1	Argument efektywny
MOD	/B = 0/ = 0 /B ≠ 0/ = 1	D		
0	0	0	1	N = R/C/
0	0	1	1	N = S/R/C//
0	1	0	1	N = R/C/ + R/B/
0	1	1	1	N = S/R/C/ + R/B//
1	0	0	1	N = R/C/ + MOD
1	0	1	1	N = S/R/C/ + MOD/
1	1	0	1	N = R/C/ + MOD + R/B/
1	1	1	1	N = S/R/C/ + MOD + R/B//
0	0	0	0	N = M
0	0	1	0	N = S/M/
0	1	0	0	N = M + R/B/
0	1	1	0	N = S/M + R/B//
1	0	0	0	N = M + MOD
1	0	1	0	N = S/M + MOD/
1	1	0	0	N = M + MOD + R/B/
1	1	1	0	N = S/M + MOD + R/B//

Po wyznaczeniu argumentu efektywnego następuje przejście do wykonania operacji określonej kodem operacji rozkazu. Minikomputer posiada rozkazy dwuargumentowe, jednoargumentowe i bezargumentowe. Pierwszym argumentem operacji jest zawsze zawartość rejestru uniwersalnego wskazanego polem A rozkazu lub zawartość komórki pamięci operacyjnej. Drugim argumentem jest argument efektywny rozkazu lub zawartość rejestru uniwersalnego wskazanego polem C rozkazu. Rozkazy jednoargumentowe mogą mieć tylko pierwszy argument lub tylko drugi argument.

Wykonanie operacji odbywa się zgodnie z opisem zawartym w rozdziale 2.6. Operacja wykonywana jest zawsze do zakończenia zgodnego z opisem. Jednym wyjątkiem jest przypadek, gdy operacja zawiera odwołanie do nieistniejącego słowa pamięci operacyjnej. Wówczas zawartość rejestru wynikowego operacji jest nieokreślona i następuje zgłoszenie przerwania, brak pamięci operacyjnej (poz. 2 rejestru RZ) dla Q = 1; dla Q = 0 maszyna przechodzi w stan STOP przy zapalonym wskaźniku ALARM.

2.6. Lista rozkazów

Poniższe zestawienie zawiera wszystkie rozkazy minikomputera zebrane grupami w zależności od znaczenia poszczególnych pól rozkazów.

Przy opisie każdego rozkazu obowiązują niżej wymienione zasady:

1) Jeżeli w opisie rozkazu nie jest wymieniony licznik rozkazów IC to przyjmujemy zawsze, że rozkaz ten powoduje zwiększenie zawartości IC o długość rozkazu. Ponadto wynikiem rozkazu są tylko te zmiany, które wynikają jednoznacznie z treści rozkazu.

2) Adresowanie miejsc pamięci operacyjnej dokonywane jest następująco:

   S/X;y/ oznacza zawartość komórki o adresie x w bloku pamięci o numerze y (oznaczany w rozkazie przez NB)

   S/x/ oznacza zawartość komórki pamięci o adresie x w bloku o numerze wskazanym przez rejestr NB gdy wskaźnik Q = 1, lub w bloku systemowym, gdy Q = 0.

3) Symbole R0, . . . , R7, IC, SR, itp. oznaczają zawartości rejestrów programowych i miejsc pamięci, np. R/A/ – oznacza zawartość rejestru uniwersalnego o numerze wskazanym polem A rozkazu.

4) Indeksy przy symbolach rejestrów oznaczają numery pozycji, np. R5 /0–8, 10–15/ oznacza "zawartość pozycji: od 0 do 8 oraz od 10 do 15 rejestru o numerze 5".

5) Symbole argumentu efektywnego jest N i w zależności od rozkazów może oznaczać liczbę stałoprzecinkową, informację logiczną lub adres. Adres bajtu oznaczany jest przez N★ .

6) Użyte symbole logiczne mają następujące znaczenie:

   – nad symbolem oznacza negację,

   ∧ oznacza iloczyn logiczny,

   ∨ oznacza sumę logiczną,

   ÷ oznacza różnicę symetryczną,

   ≡ oznacza tożsamość

7) Przez funkcję logiczną określoną na dwóch słowach rozumiemy funkcję wykonaną na każdej pozycji niezależnie.

8) Jeśli funkcja logiczna określona na dwóch słowach występuje jako warunek, to uważamy ten warunek za spełniony, jeśli spełniony jest na wszystkich pozycjach równocześnie.

9) Napis "ust. Z" oznacza, że jeśli w wyniku wykonania wskazanej operacji występuje zero, do wskaźnika Z wpisywana jest "1", w przeciwnym razie do wskaźnika Z wpisywane jest "0".

10) Napis "ust. M" oznacza, że jeśli w wyniku wykonania wskazanej operacji występuje liczba ujemna, do wskaźnika M wpisywana jest "1", w przeciwnym razie do wskaźnika M wpisywane jest "0".

11) Napis "ust. V" oznacza, że jeśli w wyniku wykonania wskazanej operacji występuje nadmiar, do wskaźnika V wpisywana jest "1", w przeciwnym razie V pozostaje bez zmiany. W przypadku wystąpienia nadmiaru wynik operacji może być nieprawidłowy, wskaźniki Z i M ustawione są w sposób poprawny dla liczby o jedną pozycję wydłużonej.

12) Napis "ust. C" oznacza, że do wskaźnika C wpisywana jest wartość przeniesienia z zerowej pozycji arytmometru powstałego w czasie wykonania wskazanej operacji.

13) MOD oznacza modyfikator.

14) R/A/ $\overset{\curvearrowleft}{1}$ oznacza przesunięcie o jeden bit w lewo.

15) R/A/ $\overset{\curvearrowright}{1}$ oznacza przesunięcie o jeden bit w prawo.

16) Jeżeli w wykonaniu operacji używana jest zawartość IC, to przyjmuje się, że jest ona równa pierwszemu adresowi następnego rozkazu.

2.6.1. Rozkazy legalne

ROZKAZY DWUARGUMENTOWE Z ARGUMENTEM NORMALNYM

Pola rozkazu oznaczają:

A – numer rejestru uniwersalnego
B – numer rejestru indeksowego
C – wskazuje argument pierwotny
D – bit argumentu pośredniego

Skrót	Nazwa	Treść
LW	Umieść	R/A/:=N
TW	Umieść według NB	R/A/:=S/N;NB/
LS	Umieść przez maskę	R/A/:=R/A/ $\wedge \overline{R7} \vee N \wedge R7$
RW	Pamiętaj	SN/:=R/A/
RI	Umieść w pamięci	S/R/A//:=N; R/A/:=R/A/ + 1
PW	Pamiętaj wg NB	S/N;NB/:=R/A/
RJ	Skocz ze śladem w rejestrze	R/A/:=IC; IC:=N
IS	Ustaw semator	Jeśli S/N;NB/ $\wedge$ R/A/ $\equiv$ R/A/ to P:=1; Jeśli S/N/;NB/ $\wedge$ R/A/ $\not\equiv$ R/A/ to S/N;NB/:=S/N;NB/ $\vee$ R/A/
BB	Porównaj logicznie iloczyn i przeskocz przy równym	Jeśli R/A/ $\wedge$ N $\equiv$ N to P:=1
BM	Porównaj iloczyn w pamięci i przeskocz	Jeśli S/N;NB/ $\wedge$ R/A/ $\equiv$ R/A/ to P:=1
BS	Porównaj logicznie przez maskę i przeskocz	Jeśli R/A/ $\wedge$R7 $\equiv$ N $\wedge$ R7 to P:=1
BC	Porównaj logicznie iloczyn i przeskocz przy równym	Jeśli R/A/ $\wedge$N $\not\equiv$ N to P:=1
BN	Przeskocz przy zerze iloczynu	Jeśli R/A/ $\wedge$N $\equiv$ 0 to P:=1
AW	Dodaj	R/A/:=R/A/ + N; ust. Z,M,V,C
AC	Dodaj z przeniesieniem	R/A/:=R/A/ + N + C; ust. Z,M,V,C
SW	Odejmij	R/A/:=R/A/ – N; ust. Z,M,V,C

CW	Porównaj	Jeśli R/A/ < N to L:=1, E:=0 G:=0 Jeśli R/A/ = N to L:=0 E:=1 G:=0; Jeśli R/A/ > N to L:=0, E:=0 G:=1
OR	Dodaj logicznie	R/A/:=R/A/ ∨ N; ust. Z
OM	Dodaj logicznie do pamięci	S/N;NB/:=S/N;NB/ ∨ R/A/; ust. Z
NR	Pomnóż logicznie	R/A/:=R/A/ ∧ N; ust. Z
NM	Pomnóż logicznie do pamięci	S/N;NB/:=S/N;NB/ ∧ R/A/; ust. Z
ER	Zeruj bity	R/A/:=R/A/ ∧ $\overline{N}$; ust. Z
EM	Zeruj bity w pamięci	S/N;NB/:=S/N;NB/ ∧ $\overline{R/A/}$; ust. Z
XR	Różnica symetryczna	R/A/:=R/A/ ÷ N; ust. Z
XM	Różnica symetryczna w pamięci	S/N;NB/:=S/N;NB/ ÷ R/A/; ust. Z
CL	Porównaj logicznie	Jeśli R/A/ < N to L:=1, E:=0 G:=0 Jeśli R/A/ ≡ N to L:=0, E:=1 G:=0 Jeśli R/A/ > N to L:=0, E:=0 G:=1
LB	Umieść bajt	$R/A/_{8-15}$:=S/N★;NB/
RB	Pamiętaj bajt	S/N★;NB/:=$R/A/_{8-15}$
CB	Porównaj bajt	Jeśli $R/A/_{8-15}$ < S/N★;NB/ to L:=1, E:=0, G:=0; Jeśli $R/A/_{8-15}$ ≡ S/N★;NB/ to L:=0, E:=1, G:=0; Jeśli $R/A/_{8-15}$ > S/N★;NB/ to L:=0, E:=0, G:=1;

UWAGA : Dla rozkazów LB, RB, CB — N★ jest argumentem efektywnym wyznaczonym wg uprzednio podanych zadań (wskazującym adresem bajtu.)

ROZKAZY BEZ PIERWSZEGO ARGUMENTU Z ARGUMENTEM NORMALNYM

Pola rozkazu oznaczają:

A — przedłużenie kodu operacji

B — numer rejestru indeksowego

C — wskazuje argument pierwotny

D — bit argumentu pośredniego

Rozkazy skoków (grupa J)

Skrót	Nazwa	Treść
UJ	Skocz	IC:=N
JL	Skocz przy L	Jeśli L=1 to IC:=N
JE	Skocz przy E	Jeśli E=1 to IC:=N
JG	Skocz przy G	Jeśli G=1 to IC:=N
JZ	Skocz przy Z	Jeśli Z=1 to IC:=N
JM	Skocz przy M	Jeśli M=1 to IC:=N
JN	Skocz gdy $\overline{E}$	Jeśli E=0 to IC:=N
LJ	Skocz ze śladem	S/N/:=IC; IC:=N + 1

Rozkazy umieszczania grupowego (grupa L)

Skrót	Nazwa	Treść
LD	Umieść w R1,R2	[R1,R2] := [S/N/, S/N+1]
LF	Umieść w R1,R2,R3	[R1,R2,R3] :=[S/N/, S/N+1, S/N+2]
LA	Umieść w R1 . . . R7	[R1 . . . R7] :=[S/N/, . . . , S/N+6/]
LL	Umieść w R5,R6,R7	[R5,R6,R7]:= [S/N/, S/N+1/, S/N+2]
TD	Pobierz do R1,R2	[R1,R2]:= [S/N;NB/, S/N+1;NB/]
TF	Pobierz do R1,R2,R3	[R1,R2,R3] := [S/N;NB/, S/N+1;NB/, S/N+2;NB/]
TA	Pobierz do R1, . . . , R7	[R1 , . . . , R7] := [S/N;NB/ , . . . S/N+6;NB/]
TL	Pobierz do R5,R6,R7	[R5,R6,R7] := [S/N;NB/, S/N+1;NB/, S/N+2;NB/]

Rozkazy pamiętania grupowego (grupa G)

Skrót	Nazwa	Treść
RD	Pamiętaj R1,R2	[S/N/, S/N+1/] :=[R1,R2]
RF	Pamiętaj R1,R2,R3	[S/N/, S/N+1/, S/N+2/] :=[R1,R2,R3]
RA	Pamiętaj R1, . . . , R7	[S/N/, . . . S/N+6/] :=[R1, . . . , R7]
RL	Pamiętaj R5,R6,R7	[S/N/, S/N+1/, S/N+2/] := [R5,R6,R7]
PD	Prześlij R1,R2	[S/N;NB/, S/N+1;NB/] :=[R1,R2]
PF	Prześlij R1,R2,R3	[S/N;NB/, S/N+1;NB/, S/N+2/]:= [R1,R2,R3]
PA	Prześlij R1, . . . , R7	[S/N;NB/, . . . ,S/N+6;NB/]:= [R1, . . . , R7]
PL	Prześlij R5,R6,R7	[S/N;NB/, S/N+1;NB/, S/N+2;NB/] :=[R5,R6,R7]

Rozkazy różne (grupa B/N)

Skrót	Nazwa	Treść
MD	Modyfikuj	MOD:=N
RZ	Zeruj słowo w pamięci	S/N/:=0
IB	Następnik pamięci	S/N/:=S/N/ + 1 Jeśli S/N/=0 to P:=1

Rozkazy działań na liczbach długich i zmiennoprzecinkowych (opcja) grupa F/D

Skrót	Nazwa	Treść
AD	Dodaj liczby długie	[R1,R2] := [R1,R2] + [S/N/, S/N+1/] ; ust. Z,M,V,C
SD	Odejmij liczby długie	[R1,R2] := [R1,R2] – [S/N/, S/N+1/] ; ust. Z,M,V,C
MW	Mnóż	[R1,R2] := R2 x S/N/; ust. Z,M,V
DW	Dziel	R2:=[R1,R2] ; S/N; R1:= Reszta ; ust. Z,M
AF	Dodaj liczby zmiennoprzecinkowe	[R1,R2,R3] :=[R1,R2,R3] +[S/N/, S/N+1, S/N+2/] ; ust. Z,M,C
SF	Odejmij liczby zmiennoprzecinkowe	[R1,R2,R3] :=[R1,R2,R3] –[S/N/, S/N+1/, S/N+2/] ; ust. Z,M,C
MF	Pomnóż liczby zmiennoprzecinkowe	[R1,R2,R3] := [R1,R2,R3] x [S/N/, S/N+1/, S/N+2/] ; ust. Z,M,C
DF	Podziel liczby zmiennoprzecinkowe	[R1,R2,R3] := [R1,R2,R3] : [S/N/, S/N+1/, S/N+2/] ; ust. Z,M,C

UWAGA: Rozkazy AF,SF,MF,DF w pozycji C przechowują cyfrę chronioną.

ROZKAZY Z KRÓTKIM ARGUMENTEM (grupa KA1)

Pola rozkazu oznaczają:

A – numer rejestru uniwersalnego

D,B,C – krótki argument bezpośredni

Rozkazy dwuargumentowe z krótkim argumentem

Skrót	Nazwa	Treść
AWT	Dodaj argument krótki	R/A/:=R/A/+N; ust. Z,M,V,C
TRB	Dodaj argument krótki i przeskocz	R/A/:=R/A/+N Jeśli R/A/=0 to P:=1
IRB	Dodaj 1 i skocz względnie	R/A/:=R/A/+1; Jeśli R/A/=0 to IC:=IC+N
DRB	Odejmij 1 i skocz względnie	R/A/:=R/A/–1; Jeśli R/A/=0 to IC:=IC+N

CWT	Porównaj z krótki argumentem	Jeśli R/A/$<$N to L:=1, E:=0; G:=0 Jeśli R/A/ = N to L:=0, E:=1; G:=0 Jeśli R/A/$>$N to L:=0, E:=0, G:=1
LWT	Umieść krótki argument	R/A/:=N
LWS	Pobierz względnie	R/A/:=S/IC+N/
RWS	Pamiętaj względnie	S/IC+N/:=R/A/

Rozkazy skoków względnych (grupa JS)

Pola rozkazu oznaczają:

A — przedłużenie kodu operacji

D,B,C — krótki argument bezpośredni

Skrót	Nazwa	Treść
UJS	Skocz względnie	IC:=IC+N
JLS	Skocz względnie przy L	Jeśli L=1 to IC:=IC+N
JES	Skocz względnie przy E	Jeśli E=1 to IC:=IC+N
JGS	Skocz względnie przy G	Jeśli G=1 to IC:=IC+N
JVS	Skocz względnie przy V	Jeśli V=1 to IC:=IC+N; V:=0
JXS	Skocz względnie przy X	Jeśli X=1 to IC:=IC+N
JYS	Skocz względnie przy Y	Jeśli Y=1 to IC:=IC+N
JCS	Skocz względnie przy C	Jeśli C=1 to IC:=IC+N

ROZKAZY Z ARGUMENTEM BAJTOWYM (grupa KA2)

Pola rozkazu oznaczają:

(poz. 0 ÷ 7) — kod operacji

(poz. 8 ÷ 15) — bezpośredni argument bajtowy

Skrót	Nazwa	Treść
BRC	Badaj prawy bajt R0	Jeśli $R0_{8-15} \wedge N \neq N$ to P:=1
BLC	Badaj lewy bajt R0	Jeśli $R0_{0-7} \wedge N \neq N$ to P:=1
NRF	Normalizuj (opcja)	[R1,R2,R3] := znormalizowana liczba zmienno-przecinkowa

ROZKAZY BEZ DRUGIEGO ARGUMENTU (grupa C)

Pola rozkazu oznaczają:

A — numer rejestru uniwersalnego

D,B,C — przedłużenie kodu operacji

Skrót	Nazwa	Treść
RIC	Czytaj IC	R/A/:=IC
RKY	Czytaj klucze	R/A/:=KB
ZLB	Zeruj lewy bajt	$R/A/_{0-7}$:=0
ZRB	Zeruj prawy bajt	$R/A/_{8-15}$:=0
SXU	Ustaw X wg $R/A/_0$	X:=$R/A/_0$
SXL	Ustaw X wg $R/A/_{15}$	X:=$R/A/_{15}$
NGA	Neguj arytmetycznie	R/A/:=$\overline{R/A/}$+1; ust. Z,M,V,C
NGC	Neguj z przeniesieniem	R/A/:=$\overline{R/A/}$+C; ust. Z,M,V,C
NGL	Neguj	R/A/:=$\overline{R/A/}$; ust. Z
SRZ	Przesuń w prawo	[O,R/A/]↷1 R/A/; Y:=$R/A/_{15}$
SRY	Przesuń w prawo z Y	[Y,R/A/]↷1 R/A/; Y:=$R/A/_{15}$
SRX	Przesuń w prawo z X	[X,R/A/]↷1 R/A/; Y:=$R/A/_{15}$
SLZ	Przesuń w lewo	R/A/ ↶1 [R/A/,0]; Y:=$R/A/_0$
SVZ	Przesuń w lewo i ustaw nadmiar	R/A/ ↶1 [R/A/,0]; Y:=$R/A/_0$
SLY	Przesuń w lewo z Y	R/A/ ↶1 [R/A/,Y]; Y:=$R/A/_0$
SVY	Przesuń w lewo z Y i ustaw nadmiar	R/A/ ↶1 [R/A/,Y]; Y:=$R/A/_0$ ust. V;
SLX	Przesuń w lewo z X	R/A/ ↶1 [R/A/,X]; Y:=$R/A/_0$
SVX	Przesuń w lewo z X i ustaw nadmiar	R/A/ ↶1 [R/A/,X]; Y:=$R/A/_0$ ust. V;
SHC	Przesuń cyklicznie-pole D,C oznacza ilość przesunięć	R/A/↷DC R/A/
RPC	Prześlij rejestr stanu programu	R/A/:=R0
LPC	Umieść w rejestrze stanu programu	$R0_{0-15}$:=R/A/

2.6.2. Rozkazy nielegalne

Grupa rozkazów nielegalnych dostępna podczas pracy systemu operacjengo (przy Q=0) zawiera rozkazy do urządzeń, rozkazy zmiany zawartości rejestrów sterujących pracą systemu. Rozkazy te umożliwiają gospodarkę zasobami systemu i służą do przełączenia stanów systemu.

BN — rozkazy bez pierwszego argumentu z drugim argumentem normalnym (grupa BN)

Pola rozkazu oznaczają:

A — przedłużenie kodu operacji,

B — numer rejestru indeksowego,

C — wskazuje argument pierwotny,

D — bit pośredniego argumentu.

Skrót	Nazwa	Treść
MB	Umieść w SR	SR_{10-15} :=S/N/$_{10-15}$
IM	Umieść w RM	SR_{0-9} :=S/N/$_{0-9}$
KI	Pamiętaj RZ	S/N/ :=$RZ_{0-11,\ 28-31}$
FI	Umieść w RZ	$RZ_{0-11,28-31}$:=S/N/
SP	Powróć do programu	IC:=S/N;NB/; R0:=S/N+1;NB/; SR:=S/N+2;NB/;

Rozkazy bezargumentowe (grupa S)

Pola rozkazu oznaczają:

A,D,C — przedłużenie kodu operacji

B — niewykorzystano

Skrót	Nazwa	Treść
HLT	Czekaj	
MCL	Zeruj system	0→ RZ, SR, R0; Zeruj kanały, urządzenia, pamięć.
SIU	Ustaw przerwanie programowe (starsze)	$RZ_{30,31}$:=10
SIL	Ustaw przerwanie programowe (młodsze)	$RZ_{30,31}$:=0 1
CIT	Zeruj przerwania programowe	$RZ_{30,31}$:=0 0
SIT	Ustaw przerwania programowe	$RZ_{30,31}$:=1 1
GIU	Wyślij przerwanie do drugiego procesora (starsze)	RZ"$_3$:=1 ; Jeśli OK, to P:=1
GIL	Wyślij przerwanie do drugiego procesora (młodsze)	RZ"$_{29}$:=1 ; Jeśli OK, to P:=1
LIP	Powróć z przerwania	[IC,R0,SR]:=[S/S/97;0/−4;0/, S/S/97;0/−3;0/, S/S/97;0/−2;0]; S/97/;0/ :=S/97;0/−4

UWAGA: RZ" oznacza rejestr zgłoszeń drugiego procesora.

2.6.3. Rozkazy dotyczące urządzeń zewnętrznych

Rozkazy tej grupy w standardowym wykonaniu systemu są rozkazami nielegalnymi (Q = 0), w specjalnym wykonaniu (opcja) możliwe jest wykorzystanie niektórych z tych rozkazów w programach użytkowych. Rozkazy dotyczące urządzeń są rozkazami dwuargumentowymi z normalnym drugim argumentem.

Pola rozkazu oznaczają:

A — numer rejestru uniwersalnego,

B — numer rejestru indeksowego,

C — wskazuje argument pierwotny,

D — bit argumentu pośredniego

Skrót	Nazwa	Treść
OU	wyjście (Send)	R/A/ — Informacja do urządzenia N — Rozkaz do urządzenia przy czym: N_{0-2} — kod operacji rozkazu N_{3-7} — numer urządzenia lub przedłużenie kodu operacji N_{8-10} — numer urządzenia N_{11-14} — numer kanału N_{15} = { 0 — rozkaz dotyczy kanału; 1 — rozkaz nie dotyczy urządzeń we/wy W zależności od odpowiedzi: IC:= { S/IC/ brak odpowiedzi; S/IC+1/ EN; S/IC+2/ OK; S/IC+3/ błąd
IN	Wyjście (Fetch)	R/A/:= Informacja z urządzenia, gdy odpowiedź OK lub błąd N — Rozkaz do urządzenia

Znaczenie poszczególnych pól rozkazu do urządzenia i rozgałęzienia w zależności od odpowiedzi są analogiczne jak przy rozkazie OU.

2.6.4. Rozkaz ekstrakod

Rozkaz ten jest rozkazem legalnym, należącym do grupy rozkazów z bezpośrednim argumentem bajtowym (KA2).

Pola rozkazu oznaczają:

(poz. 0—7) — kod operacji

(poz. 8—15) — bezpośredni argument bajtowy

Skrót	Nazwa	Treść
EXL	Ekstrakod	[S/S/97;0/;0 , . . . , S/S/97;0/+3;0]:= [IC,R0,SR,N]
		R0 :=0
		$SR_{9,10}$:=0
		IC :=S/96;0/
		S/97;0/ :=S/97;0/+4

2.6.5. Rozkazy niezainstalowanych opcji:

W przypadku użycia rozkazów: NRF, AD, SD, MW, AF, DW, SF, MF, DF w konfiguracji nie wyposażonej w opcjonalny arytmometr wielokrotnej precyzji, wykonane będą następujące czynności:

1) Zostanie wyznaczony argument efektywny rozkazu N,
2) Na stosie systemowym umieszczony zostanie aktualny wektor stanu systemu rozszerzony o argument efektywny rozkazu, a mianowicie:

[S/S/97;0/;0/, . . . , S/S/97;0/+3;0] := [IC,R0,SR,N]

3) Wskaźnik stosu zostanie uaktualniony:

S/97;0/:=S/97;0/+4

4) Ustawiony zostanie nowy wektor stanu systemu:

IC:= {
- S/100;0/, S/101;0/, S/102;0/, S/103;0/ → dla NRF w zależności od pola A
- S/104;0/ dla AD
- S/105;0/ dla SD
- S/106;0/ dla MW
- S/107;0/ dla DW
- S/108;0/ dla AF
- S/109;0/ dla SF
- S/110;0/ dla MF
- S/111;0/ dla DF

R0 :=0

$SR_{9,10}$:=0

tak więc nastąpi wyskok do podprogramu w zależności od kodu opcjonalnego rozkazu.

2.6.6. Kody rozkazów

[0;1] / [2;3;4;5]	01	10	11
0000	LW	AW	AWT
0001	TW	AC	TRB
0010	LS	SW	IRB
0011	RI	CW	DRB
0100	RW	OR	CTW
0101	PW	OM	LWT
0110	RJ	NR	LWS
0111	IS	NM	RWS
1000	BB	ER	JS★
1001	BM	EM	KA2★
1010	BS	XR	C★
1011	BC	XM	S★ NL
1100	BN	CL	J★
1101	OU NL	LB	L★
1110	IN NL	RB	G★
1111	F/D★ opcja	CB	B/N★ NL/–

KA 1

★ – grupy rozkazów

Pole A rozszerza kod operacji w grupach:

A \ Grupa	F/D	JS	J	L	G	B/N
0	AD	UJS	UJ	LD	RD	MB
1	SD	JLS	JL	LF	RF	IM
2	MW	JES	JE	LA	RA	KI
3	DW	JGS	JG	LL	RL	FI
4	AF	JVS	JZ	TD	PD	SP
5	SF	JXS	JM	TF	PF	MD
6	MF	JYS	JNE	TA	PA	RZ
7	DF	JCS	LJ	TL	PL	IB

Grupa KA2 /1 1 1 0 0 1/

0 – 5	6,7	
1 1 1 0 0 1	0 0	BLC
1 1 1 0 0 1	0 1	EXL
1 1 1 0 0 1	1 0	BRC
1 1 1 0 0 1	1 1	NRF opcja

Grupa C (kod 1 1 1 0 1 0)

D	B	C	Skrót
0	0 0 0	0 0 0	RIC
1	0 0 0	0 0 0	RKY
0	0 0 0	0 0 1	ZLB
1	0 0 0	0 0 1	ZRB
0	0 0 0	0 1 0	SXU
1	0 0 0	0 1 0	SXL
0	0 0 0	0 1 1	NGA
1	0 0 0	0 1 1	NGC
0	0 0 1	0 0 0	NGL
1	0 0 1	0 0 0	SRZ
0	0 0 0	1 0 0	SLZ
1	0 0 0	1 0 0	SVZ
0	0 0 0	1 0 1	SLY
1	0 0 0	1 0 1	SVY
0	0 0 0	1 1 0	SLX
1	0 0 0	1 1 0	SVX
0	0 0 0	1 1 1	SRY
1	0 0 0	1 1 1	SRX
0	0 0 1	0 0 1	RPC
1	0 0 1	0 0 1	LPC
x	0 1 0	x x x	SHC

Grupa S (kod 1 1 1 0 1 1)

A	D	C	Skrót
0 0 0	–	–	HLT
0 0 1	–	–	MCL
0 1 0	–	– 0 0	CIT
0 1 0	–	– 0 1	SIL
0 1 0	–	– 1 0	SIU
0 1 0	–	– 1 1	SIT
0 1 1	0	–	GIU
0 1 1	1	–	GIL
1 0 0	–	–	LIP

2.7. Przerwania

Jednostka centralna posiada układ przerwań, który jest w stanie przyjmować i obsługiwać 32 przerwania. Układ przerwań jest układem priorytetowym. Ustalenie priorytetów związane jest z geometrią zgłoszeń przerwań, a mianowicie im niższy jest numer przerwania, tym wyższy jest jego priorytet.

Obsługę przerwania wykonuje się gdy:

– nastąpi zgłoszenie przerwania do rejestru RZ,

– zapalona jest maska odpowiadająca zgłoszonemu przerwaniu,

– wskaźnik przeskoku P=0,

– ostatnim wykonanym rozkazem nie był rozkaz modyfikuj MD,

– system nie jest w stanie STOP.

Obsługa przerwania składa się z następujących czynności:

– zapamiętanie aktualnej zawartości licznika rozkazów IC,

– zapamiętanie aktualnej zawartości rejestru R0,

– zapamiętanie aktualnej zawartości rejestru stanu SR,

– zapamiętanie specyfikacji przerwania w przypadku przerwania zewnętrznego lub zapamiętanie zera dla przerwań nie z kanałów,

– wyzerowanie rejestru R0,

– wyzerowanie pozycji rejestru RM odpowiadającej danemu przerwaniu oraz wszystkich mniej znaczących pozycji rejestru RM,

– wyzerowanie SR_{10} (bitu Q),

– wpisanie nowej zawartości licznika rozkazów IC odpowiadającej numerowi przerwania,

– uaktualnienie wskaźnika stosu.

Zapamiętywanie zawartości IC, R0, SR oraz specyfikacji przerwania odbywa się począwszy od adresu wskazanego przez wskaźnik stosu. Wskaźnik stosu znajduje się w komórce pamięci o adresie 97. Uaktualnienie wskaźnika stosu polega na zwiększeniu jego wartości o 4.
Wpisanie nowej wartości IC odbywa się wg tabeli przerwań. Tabela przerwań zawiera adresy początków podprogramów obsługi przerwań. Tabela umieszczona jest w komórkach pamięci o adresach 64 ÷ 95 w bloku systemowym pamięci operacyjnej, przy czym kolejne adresy odpowiadają numerom przerwań. Wpisanie nowej zawartości IC polega na wpisaniu zawartości komórki pamięci odpowiadającej numerowi przyjętego przerwania +64.

Jeżeli RZ[i] = 1, i ϵ [0 ÷ 31] oraz RM[j] = 1, gdzie j ϵ [0 ÷ 9] oznacza numer pozycji rejestru RM odpowiadającej przerwaniu o numerze i, to:

S [S/97; 0/; 0] : = IC

S [S/97; 0/+1; 0] :=R0

S [S/97; 0/+2; 0] :=SR

S [S/97; 0/+3; 0]:= specyfikacja przerwania lub 0

R0:=0

RM[j ÷9] :=0 dla i ϵ [1 ÷31]

RM[0÷9] :=0 dla i = 0

$RZ_i = 0$

IC:=S/64+i; 0/

S/97; 0/:=S/97; 0/ + 4

SR10:=0

Układ przerwań zawiera następujące rejestry:

– RZ – 32–bitowy rejestr zgłoszeń przerwań, w którym zapamiętywane są wszystkie zgłoszenia przerwań,

– RM – 10–bitowy rejestr służący do maskowania przerwań (pozycje od 0÷9 rejestru SR),

– RP – 32–bitowy rejestr przyjęć przerwań, w którym następuje wybranie przerwania o najwyższym priorytecie spośród przerwań zamaskowanych.

Poniżej przedstawiono znaczenie poszczególnych pozycji rejestru zgłoszeń przerwań RZ:

0 alarm zasilania (z danego procesora)

1 błąd parzystości pamięci operacyjnej

2 brak pamięci operacyjnej

3 zgłoszenie przerwania z drugiego procesora (przerwanie o wyższym priorytecie)

4 zanik zasilania (z interfejsu) modułów zewnętrznych

5 przerwanie zegarowe

6 nieprawidłowy rozkaz

7 nadmiar dzielenia stałoprzecinkowego

8 podmiar zmiennoprzecinkowy

9 nadmiar zmiennoprzecinkowy

10 błąd danych zmiennoprzecinkowych lub próba dzielenia przez zero

11 do zastosowań specjalnych

12 ÷27 przerwania kanałowe

28 zgłoszenie operatora (OPRQ)

29 zgłoszenie przerwania z drugiego procesora (przerwanie o niższym priorytecie)

30÷ 31 przerwania programowe

Wszystkie pozycje rejestru zgłoszeń z wyjątkiem pozycji przerwań kanałowych są dostępne programowo (rozkazami KI i FI). Wszystkie pozycje (z wyjątkiem zerowej) rejestru RZ są maskowane. Maskę stanowi rejestr maskujący RM o długości 10 bitów (poz. 0÷9 rejestru SR). Przyporządkowanie pozycji rejestru RZ pozycjom rejestru maskującego i adresy początków podprogramów obsługi przedstawia tabela 2. Przerwania, które zostały zgłoszone, mogą być obsłużone tylko w przypadku, gdy zapalona jest odpowiadająca im pozycja w rejestrze maskującym.

Rejestr SR		Rejestr RZ	Adres
–		0	64
0		1	65
1		2	66
2		3	67
3		4	68
4		5	69
		6	70
		7	71
		8	72
		9	73
		10	74
		11	75
5	kan. 0	12	76
	kan. 1	13	77
6	kan. 2	14	78
	kan. 3	15	79
7	kan. 4	16	80
	kan. 5	17	81
	kan. 6	18	82
	kan. 7	19	83
	kan. 8	20	84
	kan. 9	21	85
8	kan. 10	22	86
	kan. 11	23	87
	kan. 12	24	88
	kan. 13	25	89
	kan. 14	26	90
	kan. 15	27	91
9		28	92
		29	93
		30	94
		31	95

TABELA 2

2.8. Operacje z pulpitu technicznego – klucze i wskaźniki

Na płycie czołowej minikomputera znajduje się pulpit techniczny, na którym umieszczone są przełączniki i wskaźniki przeznaczone do obsługi maszyny jak również czynności serwisowych.

Stacyjka

Stacyjka jest 3–pozycyjnym przełącznikiem. Znaczenie poszczególnych pozycji jest następujące:

1) wyłączone OFF
2) włączone ON
3) włączone i blokada kluczy LOCK

W pozycji 3 zasilanie maszyny jest włączone, a klucze pulpitu nie działają z wyjątkiem klucza OPRQ.

Klucze i przełącznik wybierania rejestrów

16–pozycyjny, obrotowy przełącznik wybierania rejestrów służy do wybrania dowolnego rejestru programowego lub roboczego jednostki centralnej. Poszczególne pozycje tego przełącznika oznaczają:

R0–R7	– rejestry uniwersalne
IC	– licznik rozkazów
AC	– akumulator
AR	– rejestr adresowy pamięci
IR	– rejestr rozkazów
SR	– rejestr stanu
RZ	– rejestr zgłoszeń przerwań
KB	– wybranie zawartości kluczy informacyjnych na pulpicie (dwie pozycje przełącznika)

Symbole i znaczenie kluczy na pulpicie operatora:

KB	– 16 kluczy stabilnych służących do ustawienia dowolnej informacji 16–bitowej
START	– start–stop – klucz stabilny, służący do uruchamiania i zatrzymywania maszyny
CYCLE	– cykl – klucz niestabilny, naciśnięcie powoduje wykonanie jednego cyklu rozkazowego lub obsługi przerwania, klucz działa tylko w stanie STOP maszyny. Po wykonaniu operacji następuje przejście w stan STOP.
OPRQ	– zgłoszenie operatora – klucz niestabilny, którego naciśnięcie powoduje zgłoszenie przerwania (pozycja 28 rejestr RZ).
BIN	– wprowadź binarnie – klucz niestabilny, którego naciśnięcie powoduje wykonanie operacji wstępnego wprowadzenia programu; klucz działa tylko w stanie STOP maszyny; po wykonaniu operacji następuje przejście w stan STOP.
STORE	– pamiętaj – klucz niestabilny, działający tylko w stanie STOP; naciśnięcie powoduje zapamiętanie zawartości wybranego rejestru w komórce pamięci wskazanej zawartością rejstrów AR i rejestru numeru bloku, zgodnie z zasadami adresowania, a następnie zwiększanie zawartości AR o 1 i przejście w stan STOP.
FETCH	– pobierz – klucz niestabilny, działający w stanie STOP; naciśnięcie powoduje odczytanie jednego słowa z komórki pamięci o adresie wskazanym przez rejestr AR i rejestr numeru bloku, umieszczenie tego słowa w rejestrze wybranym przełącznikiem wybierania rejestrów zwiększenie zawartości AR o 1 i przejście w stan STOP.

LOAD — umieść — klucz niestabilny, którego naciśnięcie powoduje umieszczenie w wybranym rejestrze informacji ustawionej przy pomocy kluczy informacyjnych; przełącznik działa tylko w stanie STOP.

MODE — reżim pracy — klucz stabilny ustalający jeden z następujących reżimów pracy:

- praca ciągła, w której maszyna wykonuje rozkazy z pełną szybkością (wskaźnik MODE zgaszony),
- praca krokowa, w której maszyna działa start—stopowo wykonując elementarny krok operacji przy każdym naciśnięciu klucza STEP (wskaźnik MODE zapalony).

STEP — krok — klucz niestabilny działający tylko przy reżimie pracy krokowej (zapalony wskaźnik MODE); naciśnięcie powoduje wykonanie elementarnego kroku operacji, a następnie zawieszenie działania do chwili ponownego przełączenia klucza.

STOP*N — stop na adresie — klucz niestabilny, służy do zatrzymywania maszyny przy odwołaniu do komórki pamięci o adresie ustawionym na kluczach informacyjnych na pozycjach 1 ÷15, pozycja zerowa wskazuje przy ustawieniu "1" blok systemowy, przy ustawieniu 0 blok użytkowy; stan przełącznika wyświetlany jest na wskaźniku nad przełącznikiem.

CLOCK — zegar — klucz stabilny, którego włączenie powoduje uruchomienie zegara czasu rzeczywistego; przy włączeniu zegara zapala się wskaźnik CLOCK.

CLEAR —zerowanie — klucz niestabilny, naciśnięcie powoduje ustawienie wskaźników i sterowania systemu w stan początkowy.

Wskaźniki

Wskaźniki informacyjne — 16 wskaźników które wyświetlają zawartość wybranego rejestru w stanie STOP lub CZEKAJ.

RUN — praca — wskaźnik zapalony, gdy maszyna jest w stanie START.

WAIT — czekaj — wskaźnik zapalony, gdy maszyna jest w stanie CZEKAJ.

Q — wskaźnik wyświetlający wartość bitu Q w rejestrze stanu systemu (poz. 10 rejestru SR).

IRQ — wskaźnik zapalony, gdy przyjęte zostało przerwanie.

MC — wskaźnik zapalony, gdy ostatnim wykonanym rozkazem był rozkaz modyfikuj MD.

P — wskaźnik zapalony, gdy ostatnim wykonanym rozkazem był rozkaz ustawiający przeskok.

ALARM — wskaźnik zapalony, gdy wystąpił błąd parzystości lub brak pamięci w bloku systemowym pamięci operacyjnej.

STOP*N — wskaźnik zapalony, gdy w maszynie uruchomiony został mechanizm zatrzymania się na adresie wskazanym na kluczach informacyjnych.

CLOCK — wskaźnik sygnalizujący włączenie zegara czasu rzeczywistego.

ON — wskaźnik zapalony, gdy zasilanie maszyny jest włączone i ustaliły się napięcia stabilizowane.

2.9. Budowa i działanie jednostki centralnej

2.9.1. Schemat blokowy

Jednostka centralna składa się z następujących elementów funkcjonalnych:

—IR — rejestr rozkazów
—IC — licznik rozkazów

–AR – rejestr adresowy
–R0÷R7 – rejestry uniwersalne
–AC – rejestr akumulatora
–AT – rejestr wynikowy sumatora
–SR – rejestr stanu systemu
–RZ – rejestr zgłoszeń przerwań
–RP – rejestr przyjęć przerwań
–RB – rejestr pomocniczy do wczytywania taśmy binarnej
– układ sterowania
– dekoder rozkazów
– Σ – sumator

Do przesyłania informacji wewnątrz jednostki centralnej służą cztery szyny multipleksorowe a mianowicie:

– szyna W
– szyna A
– szyna KI
– szyna L

Do przesyłania informacji na zewnątrz jednostki centralnej służą trzy szyny, a mianowicie:

– szyna D–DT
– szyna D–AD
– szyna D–NB

Informacje do jednostki centralnej z zewnątrz (z interfejsu i kluczy KB) są podawane na szynie W. Zgłoszenie przerwań z kanałów jest podawane bezpośrednio z interfejsu do układu przerwań.

Schemat blokowy zawierający w/w elementy pokazany jest na rys. 2.9.1. Na schemacie blokowym zaznaczone są m.in. nazwy mikrooperacji powodujące przesłanie informacji z danego rejestru na daną szynę, z szyny na szynę, operacje na rejestrach.

Rejestry

R0 ÷ R7 – 16–bitowe rejestry uniwersalne dostępne programowo; zbudowane są jako szybka pamięć pomocnicza.

Rejestr R0 jest jednocześnie rejestrem stanu programu.
Pozycje R00 – R08 zawierają wskaźniki:

R00 – wskaźnik zera Z

R01 – wskaźnik znaku M

R02 – wskaźnik nadmiaru V

R03 – wskaźnik przeniesienia C

R04 – wskaźnik wyniku porównania L (mniejszy)

R05 – wskaźnik wyniku porównania E (równy)

R06 – wskaźnik wyniku porównania G (większy)

R07 – wskaźnik Y

R08 – wskaźnik X

Zapis do rejestru R00 ÷ R07 nie jest wykonywany w przypadku, gdy R0 jest rejestrem wynikowym i wykonywany jest program użytkowy (z wyjątkiem rozkazu LPC)

Licznik IC — licznik rozkazów o długości 16 bitów

Rejestr IR — rejestr rozkazów o długości 16 bitów. W cyklu rozkazowym rejestr IR przechowuje słowo podstawowe aktualnie wykonywanego rozkazu. Rejestr IR związany jest z układem dekodowania rozkazów, który wysterowuje drogi przepływu informacji w czasie cyklu rozkazowego.

Rejestr AR — rejestr adresowy pamięci. Jest to 16—bitowy licznik rewersyjny służący do przechowywania adresu przy każdym odwołaniu do interfejsu (dla współpracy z pamięcią operacyjną i z kanałami) oraz do przechowywania wartości modyfikatora MOD.

Rejestr AC — rejestr akumulatora. Jest to 17—bitowy rejestr, w którym znajduje się drugi argument operacji arytmetycznych i logicznych. Rejestr AC jest niedostępny programowo.

Rejestr AT — 17—bitowy rejestr wynikowy sumatora. Posiada on możliwość przesuwania zawartości w prawo. Rejestr AT jest niedostępny programowo.

Rejestr SR — 16—bitowy rejestr stanu systemu. Znaczenie poszczególnych pozycji rejestru SR jest następujące:

SR [0÷9] — stanowią 10—bitowy rejestr masek RM

SR 10 — bit Q, bit wskazujący, czy wykonywany jest program użytkowy (Q = 1), czy działa system operacyjny (Q = 0)

SR 11 — bit specjalny BS

SR [12 ÷15]— stanowią 4—bitowy rejestr numeru bloku pamięci operacyjnej

Rejestr RZ — rejestr zgłoszeń przerwań o długości 32 bitów. Zapamiętywane są w nim wszystkie zgłoszenia przerwań, które wystąpiły w systemie. Pozycje RZ [0 ÷11] oraz RZ [28÷31] są dostępne dla systemu operacyjnego i wyświetlane na pulpicie technicznym.

Rejestr RB — 16—bitowy rejestr używany przy automatycznym, wstępnym ładowaniu programu (operacja klucza BIN).

Sumator

Sumator to 17—bitowy układ wykonujący działania arytmetyczne i logiczne. Argumentami działań wykonywanych w sumatorze są:

— rejestr akumulatora AC
— szyna A

Wynik umieszczany jest w rejestrze AT. Wyjścia sumatora podawane są do układu wykrywania zera wyniku. Gdy wynik jest równy zeru zapala się wskaźnik zera WZI.

Liczniki sterujące

Jako układy pomocnicze, służące do sterowania pracą jednostki centralnej zastosowano następujące liczniki:

— LK licznik kroków — czterobitowy licznik odejmujący
— LG licznik grupowy — trzybitowy licznik dodający
— MC licznik premodyfikacji — dwubitowy licznik dodający

Rys. 291 Schemat blokowy procesora

2.9.2. Drogi przepływu informacji

Szyny multipleksorowe

Jednostka centralna posiada 4 szyny multipleksorowe przepływu informacji, a mianowicie:

- szyna W, która stanowi główną 16–bitową szynę przepływu informacji między elementami funkcjonalnymi jednostki centralnej przy współpracy z innymi modułami systemu,
- szyna A – 16–bitowa szyna wejściowa sumatora
- szyna KI – 16–bitowa szyna dodatkowa
- szyna L – 16–bitowa szyna zbiorcza rejstrów uniwersalnych.

Szyna W jest szyną 8–mio argumentową. Wybranie argumentu odbywa się poprzez odpowiednie wysterowanie linii MWA, MWB, MWC.
Poniżej przedstawiono argumenty szyny W oraz podano ich adresy

Symbol argumentu	Adres argumentu			Wybranie
	–MWC	–MWB	–MWA	
A	0	0	0	szyny A
AC	0	0	1	rejestru AC
AT	0	1	0	rejestru AT
KI	0	1	1	szyny KI
AC 8	1	0	0	zawartości AC przesuniętej o 8 pozycji w prawo
DT	1	0	1	linii informacyjnych interfejsu
KB	1	1	0	informacji na kluczach pulpitu operatora
IR	1	1	1	rejestru IR

Szyna W może być blokowana, tzn. można wysterować na niej zero. Blokada dotyczy osobno prawego i lewego bajtu informacji.
Sygnał BWA = 0 blokuje prawy bajt, natomiast sygnał BWB = 0 blokuje lewy bajt.

Szyna A jesz szyną czteroargumentową. Wybranie argumentu odbywa się poprzez odpowiednie wysterowanie linii AA i AB. Poniżej przedstawiono argumenty szyny A oraz podane wartości ich adresów.

Symbol argumentu	Adres argumentu		Wybranie
	–AB	–AA	
L	0	0	szyny L
AR	0	1	rejestru AR
IC	1	0	rejestru IC
L [8 ÷15] , IR [8 ÷15]	1	1	szyny L przesuniętej o 8 pozycji w lewo i rejestru IR, pozycje 8 ÷15

Poszczególne pozycje szyny A mogą być blokowane przy użyciu sygnałów BAA, BAB, BAC. Jeżeli –BAC=0 to blokowane są pozycje 0÷7 jeżeli –BAB=0 to blokowane są pozycje 8÷9, a jeżeli –BAA=0 to blokuje się pozycje 10÷15 szyny A.

Szyna KI jest szyną czteroargumentową, na której wybranie argumentu odbywa się poprzez wysterowanie sygnałów KIA oraz KIB. Poniżej przedstawiono argumenty szyny KI oraz podano ich wartości.

Symbol argumentu	Adres argumentu		Wybranie
	–KIA	–KIB	
RZ	0	0	rejestru zgłoszeń poz. 0÷11 i 28÷31
SR	0	1	rejestru stanu
RB	1	0	rejestru wczytywania binarnego
ZP	1	1	informacji z arytmometru wielokrotnej precyzji

Szyna L posiada następujące argumenty:

– rejestry uniwersalne R1÷R7
– rejestr R0
– rejestr R0 przesunięty w prawo o 8 pozycji

Szyna L jest szyną zrealizowaną na elementach z otwartym kolektorem. Wysterowanie zawartości rejestrów R1÷R7 odbywa się poprzez podanie numeru rejestru na elementy SN 74170. Dla rejestru R0 otwiera się odpowiednią bramkę na układzie scalonym SN 7403 lub jego odpowiedniku.

Dla współpracy z interfejsem wysterowuje się następujące szyny:

– szyna DT – 16 bitów informacyjnych
– szyna AD – 16 bitów adresowych
– szyna NB – 4 bity numeru bloku pamięci operacyjnej
– szyna QB – linia Q i linia PN – numeru procesora
– linie sygnałów sterujących.

Mikrooperacje

Poniżej przedstawiona zostanie lista mikrooperacji jednostki centralnej. Są one zaznaczone na schemacie blokowym jednostki centralnej minikomputera MERA–400. Mikrooperacje wykonuje się w iloczynie ze strobem.

Mikrooperacje rejestrów uniwersalnych

W ↑ R	Zapisz zawartość szyny W do rejestru określonego numerem
R ↑ L	Podaj zawartość rejestru określonego numerem na szynę L
R0↷L	Podaj pozycje rejestru R0 0÷7 na pozycje 8÷15 szyny L
R ↑ A	Podaj informację wysterowaną na szynie L na szynę A (mikrooperacja złożona z R↑L i L↑A)

W ↑ R0	Zapisz informację wysterowaną na szynie W do rejestru R0
R0↑ L	Podaj zawartość rejestru R0 na szynę L (niezależnie od numeru określającego rejestr)

Mikrooperacje rejestru adresowego pamięci AR

W ↑ AR	Zapisz informację wysterowaną na szynę W do rejestru AR
AR + 1	Dodaj 1 do zawartości rejestru AR
AR↑ A	Podaj zawartość rejestru AR na szynę A
AR↑D–AD	Podaj zawartość rejestru AR na szyny adresowe interfejsu
AR – 4	Odejmij 4 od zawartości rejestru AR

Mikrooperacje licznika rozkazów IC

W↑ IC	Zapisz informację wysterowaną na szynę W do licznika IC
IC↑ A	Podaj zawartość licznika IC na szynę A
IC + 1	Dodaj 1 do zawartości licznika IC
IC ↑D–AD	Podaj zawartość licznika IC na szyny adresowe interfejsu
0 ↑ IC	Zerowanie licznika IC (przy zaniku i pojawianiu się napięć zasilających)

Mikrooperacje rejestru rozkazów IR

W ↑ IR	Zapisz informację wysterowaną na szynie W do rejestru IR
IR [0÷15]↑W	Podaj zawartość rejestru IR na szynę W
IR [8÷15]↑A	Podaj młodszy bajt rejestru IR na szynę A
0 ↑ IR [0,1]	Zeruj pozycje 0 i 1 rejestru IR

Mikrooperacje rejestru akumulatora AC

W ↑ AC	Zapisz informację wysterowaną na szynę W do rejestru AC
AC ↑W	Podaj zawartość akumulatora na szynę W
AC$\overset{\curvearrowright}{8}$W	Podaj na szynę W zawartość rejestru AC przesuniętą o 8 pozycji w prawo

Mikrooperacje AT

Σ ↑ AT	Zapisz informację wyjściową sumatora do AT; zapis dotyczy pozycji [–1÷15] . Z mikrooperacją Σ ↑ AT związana jest mikrooperacja UST WZI – ustaw wskaźnik zera. Wskaźnik WZI zapala się, gdy na wyjściu sumatora jest zero (na pozycjach [–1 ÷15])
AT/2 ↑AT	Przesuń zawartość rejestru AT o jedną pozycję w prawo; wartość ustawioną na pozycji zerowej rejestru AT określa funkcja EAT0.
AT ↑ W	Podaj zawartość rejestru AT na szynę W

Mikrooperacje rejestru stanu SR

W ↑ SR [0÷9]	Zapisz informację wysterowaną na szynę W do rejestru maski RM
W ↑SR [10÷15]	Zapisz informację wysterowaną na szynę W na pozycje 10–15 rejestru SR (tzn. Q,BS i NB)

SR ↑ KI	Podaj zawartość rejestru SR na szynę KI
SR [10÷15]↑D—NB	Podaj pozycje 10—15 rejestru SR na linie D—NB interfejsu
$0 \uparrow SR_{j-10}$	Zerowanie przy obsłudze przerwania; j — poziom maskowania związany z obsługiwanym przerwaniem
0 ↑ SR	Zerowanie ogólne rejestru SR
$0 \uparrow RM_{i-10}$	Wyzeruj pozycję rejestru maski, której odpowiadające przerwanie zostało przyjęte oraz wszystkie pozycje młodsze
0 ↑ RM [0÷9]	Zeruj rejestr maskujący RM

Mikrooperacje rejestru zgłoszeń RZ i układu przerwań

W ↑ RZ [0÷11] , [28÷31]	Zapisz informację wysterowaną na szynę W do rejestru RZ (na pozycje określone w treści mikrooperacji)
0 ↑ RZ [0÷11] , [28÷31]	Wyzeruj określone w treści pozycje rejestru RZ
0 ↑ RZ [12÷27]	Wyzeruj określone w treści pozycje rejestru RZ
$0_{sel} \uparrow RZ$	Wyzeruj tę pozycję rejestru RZ, dla której odpowiadająca jej pozycja w rejestrze przyjęć RP została zapalona
$RZ \overset{RM}{\uparrow} RP$	Przepisz przez maskę zawartość rejestru RZ do rejestru RP
RZ [0÷11] , [28÷31] ↑ KI	Podaj zawartość rejestru RZ (pozycje odpowiadające przerwaniom wewnętrznym) na szynę KI
IR [14;15] ↑ RZ [30,31]	Zapisz zawartość pozycji 14 i 15 rejestru rozkazów IR na pozycje 30 i 31 rejestru RZ
NP ↑ D—AD	Podaj numer przerwania, które zostało przyjęte na szyny adresowe interfejsu; numer przerwania podaje się na szyny AD [11÷14] oraz wysterowuje się 1 na AD9
NK ↑ D—AD	Podaj numer kanału, którego przerwanie zostało przyjęte na szyny adresowe interfejsu na linie AD [11÷14] ; jednocześnie wysterowuje się 1 na AD4
0 ↑ RP	Zeruj rejestr przyjęć

Mikrooperacje szyn zbiorczych

A ↑ W	Podaj informację wysterowaną na szynie A na szynę W
KI ↑ W	Podaj informację wysterowaną na szynie KI na szanę W
RB ↑ KI	Podaj zawartość rejestru wczytywania binarnego na szynę KI
DT ↑ W	Podaj informację wysterowaną na szyny informacyjne interfejsu na szynę W
KB ↑ W	Podaj informację ustawioną na kluczach informacyjnych KB pulpitu operatora na szynę W
W ↑ RB	Zapisz informację wysterowaną na szynę W do rejestru RB; mikrooperacja jest złożona, składa się z mikrooperacji (W↑RBA; W↑RB8; W↑RBC), które zapisują informację do rejestru RB wg schematu podanego w p. 2.9.4.1.
W ↑ D—DT	Podaj informację wysterowaną na szynę W na linie informacyjne interfejsu.

Mikrooperacje wskaźników

UST Z	ustaw wskaźnik Z
UST MC	ustaw wskaźniki M i C
UST V	ustaw wskaźnik V

O ↑ V	zeruj wskaźnik V
UST LEG	ustaw wskaźniki L,E,G
UST X	ustaw wskaźnik X
UST Y	ustaw wskaźnik Y
UST P	ustaw wskaźnik P

Mikrooperacje liczników sterujących

O ↑LK	Zeruj licznik kroków
O ↑LG	Zeruj licznik grupowy
IR [7 ÷9] ↑LG	Zapisz zawartość pola A z rejestru rozkazów IR do licznika grupowego LG
IR6, [13 ÷15]↑LK	Zapisz bit 6 oraz zawartość pola C z rejestru rozkazów IR do licznika kroków
UST LK	Ustaw licznik kroków
UST LG	Ustaw licznik grupowy
LK − 1	Odejmij 1 od zawartości licznika LK
LG + 1	Dodaj 1 do zawartości licznika LG
O ↑ MC	Zeruj licznik modyfikacji MC
MC + 1	Dodaj 1 do zawartości licznika MC

Mikrooperacje sumatora

Funkcje sumatora, sygnały sterujące oraz ich wartości podane są dokładnie na schematach czynnościowych.

Objaśnienia symboli:

Σ_L — operacja logiczna sumatora

Σ_A — operacja arytmetyczna aumatora

SARYT — sygnał rodzaju operacji sumatora (jeśli SARYT = O sumator wykonuje operację logiczną, jeśli 1 arytmetyczną).

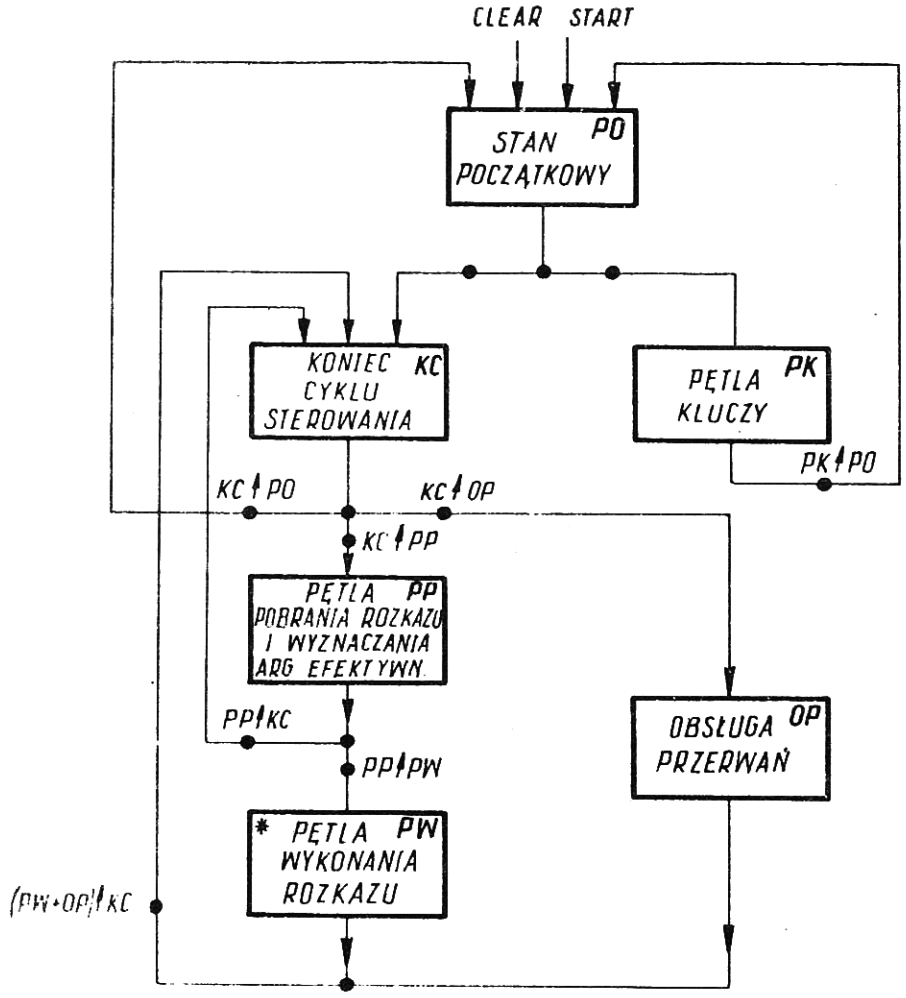
SAA,SAB,SB,SCA,SCB,SD — sygnały określające funkcje sumatora.

2.9.3. Tory sterowania

Sterowanie jednostki centralnej zbudowane jest z kilku niezależnych sieci.

- PO — stan początkowy
- PK — pętla kluczy, która steruje wykonaniem operacji z pulpitu maszyny
- PP — pętla podstawowa, która steruje pobraniem rozkazu i wyznaczeniem argumentu efektywnego
- PW — pętla wykonawcza, która steruje wykonaniem rozkazów
- OP — pętla obsługi przerwań
- KC; PC — koniec cyklu; początek cyklu fazy pośredniczące między kolejnymi operacjami pracy dynamicznej jednostki centralnej.

Schemat blokowy sterowania pokazany jest na rys. 2.9.2.
Funkcje przejścia między poszczególnymi blokami sterowania podane są na tym rysunku.
Szczegółowe funkcje układów sterowania przedstawione są na schematach czynnościowych.



Warunki przejść:

1 PO/PK : operacje kluczy sterujących : BIN+LOAD+FETCH+STORE
2 PO/KC : START + CYKL + PRZERWANIE
3 KC/PP : (START · $\overline{WAIT}$ + CYKL) · $\overline{PRZERWANIE}$
4 KC/OP : obsługa przerwania : PRZERWANIE
5 KC/PO : STOP + WAIT
6 PP/KC : rozkaz nieefektywny
7 PP/PW : wykonanie rozkazu
8 OP/KC : zawsze
9 PW/KC : zawsze

Rys. 1.7 Schemat blokowy sterowania procesora MERA-400

Każda z sieci sterowania podzielona jest na stany, w których wykonywane są funkcje określone na schematach czynnościowych. Rozróżnia się cztery grupy stanów maszyny, a mianowicie:

- grupa P, obejmująca stany pętli podstawowej PP (stany: P1, P2, P3, P4, P5)
- grupa W, obejmująca stany pętli wykonawczej PW (stany: WA, WP, WE, W &, WZ, WW, WM, WX)
- grupa I, obejmująca stany pętli obsługi przerwań OP (stany: I1, I2, I3, I4, I5)
- grupa K, obejmująca stany pętli kluczy PK (stany: K1, K2)

Jako elementy pomocnicze dla układów generowania mikrooperacji i funkcji przejścia zastosowano szereg wskaźników a mianowicie:

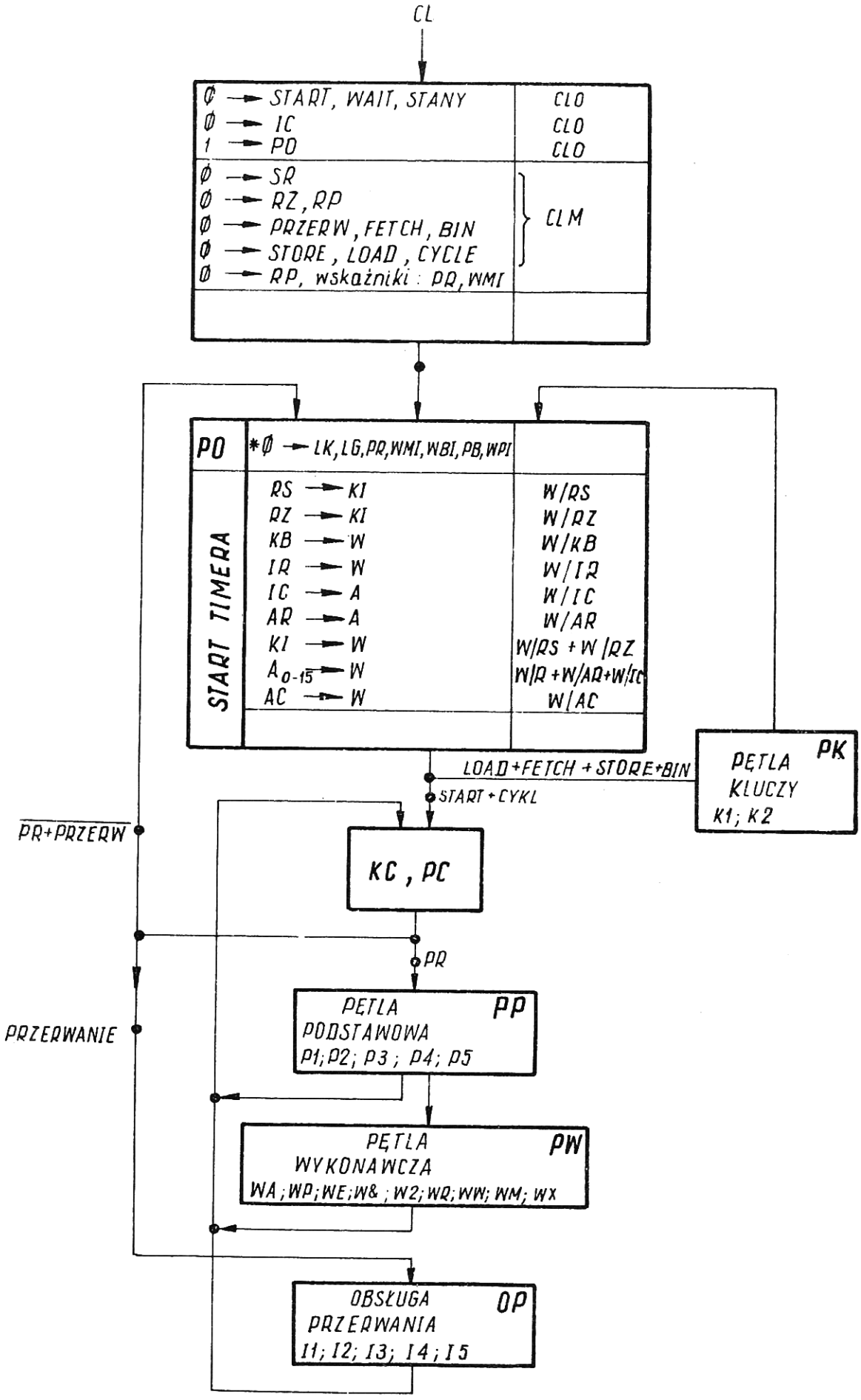
- WMI – wskaźnik rozkazu dwusłowowego
- WBI – wskaźnik B–modyfikacji
- WPI – wskaźnik premodyfikacji
- PR – wskaźnik pobrania rozkazu.

2.9.4. Schematy czynnościowe

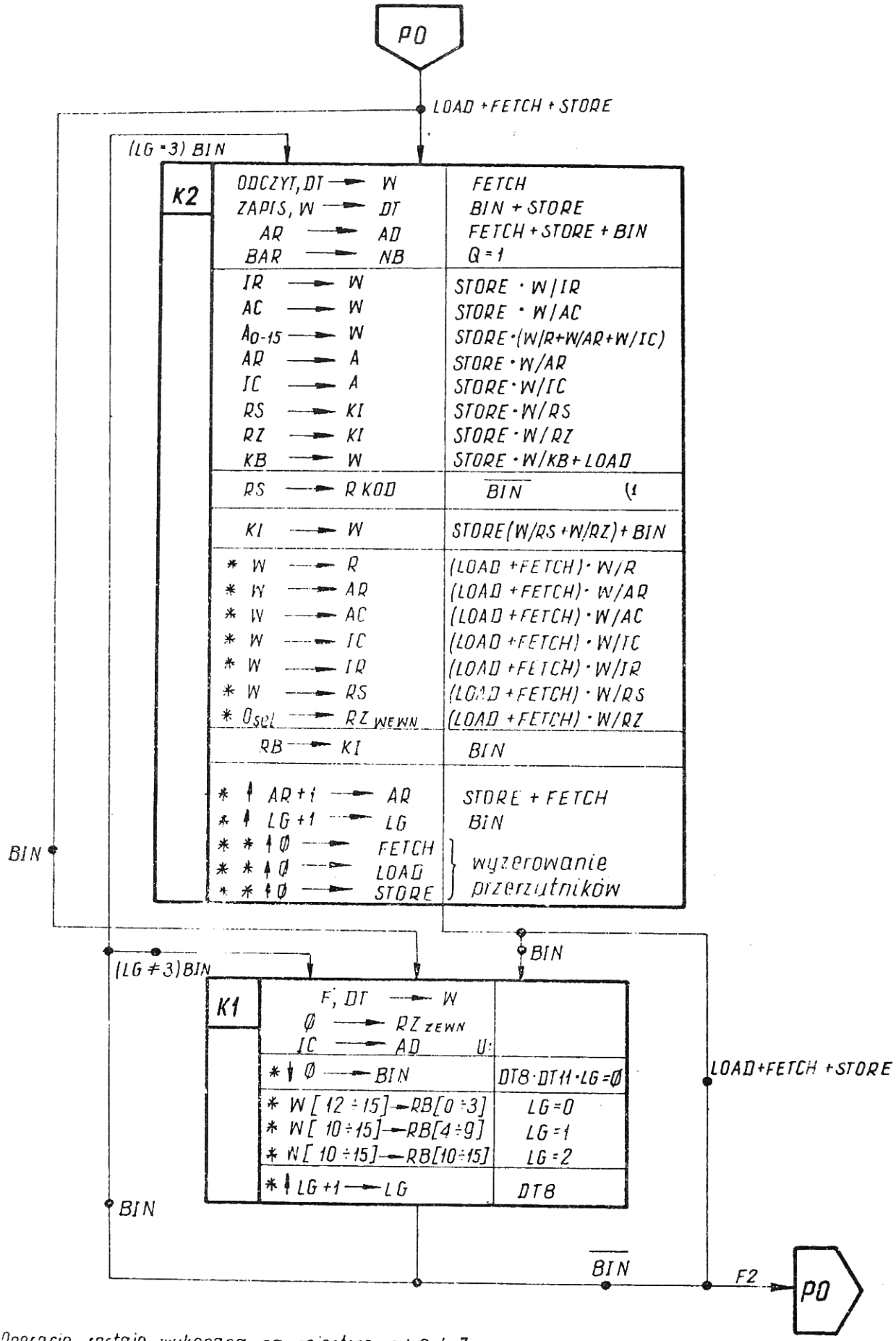
Schematy czynnościowe przedstawiają szczegółowe funkcje układów sterowania. Schematy podają funkcje jakie wykonuje jednostka centralna, w każdym ze stanów, przy spełnieniu podanych obok warunków. Na schematach czynnościowych podane są funkcje przejścia między poszczególnymi stanami. Symbole i oznaczenia użyte w schematach czynnościowych zostały omówione w punktach: 2.9.1; 2.9.2; 2.9.3, natomiast pozostałe zostaną wyjaśnione przy omawianiu poszczególnych schematów.
Gwiazdki (*) umieszczone z lewej strony mikrooperacji oznaczają, że zapis do podanego w treści rejestru lub wskaźnika odbywa się przy pomocy strobu. Jedna gwiazdka oznacza "strob–1" dwie "strob–2". Strzałki przy gwiazdkach oznaczają zbocze strobu, przy którym następuje zapis i tak " ↑ " oznacza przednie zbocze strobu natomiast " ↓ " oznacza tylne zbocze strobu.

2.9.4.1. Schemat czynnościowy pętli kluczy – PK

Schemat czynnościowy pętli kluczy pokazuje funkcje jednostki centralnej w czasie wykonywania operacji sterowanych z pulpitu operatora a mianowicie: CLEAR, LOAD, FETCH, STORE, BIN oraz funkcje wykonywane w stanie początkowym PO. Naciśnięcie klucza CLEAR powoduje wyzerowanie szeregu wskaźników i rejestrów wyszczególnionych na schemacie oraz wprowadzenie jednostki centralnej w stan PO. Sygnał zerowania jest wysyłany również po każdym włączeniu zasilania maszyny. W przypadku gdy włączenie maszyny nastąpiło po zaniku sieci w stanie pracy dodatkowo następuje zapalenie przerzutnika START.
Schemat czynnościowy pętli kluczy przedstawiony jest na rys. 2.9.3. Ark. 1 i Ark. 2.
Na arkuszu 1 przedstawioną jest wyjście do poszczególnych pętli w wyniku działania kluczy funkcyjnych pulpitu technicznego.
Na arkuszu 2 przedstawione jest przejście przez stany K1 K2 w wyniku działania kluczy LOAD, FETCH, STORE, BIN.



Rys. 2.9.3. Schemat czynnościowy pętli kluczy



V Operacja zostaje wykonana na rejestrze od 0 do 7 wg ustawionego przełącznika KB

Rys. 2.9.3 Schemat czynnościowy petli kluczy

Ark 2

Stan PO jest stanem początkowym jednostki centralnej. Następuje w tym stanie wyzerowanie szeregu wskaźników oraz liczników w jednostce centralnej a mianowicie:

LK – licznika kroków

LG – licznika grupowego

PR – przerzutnika pobrania rozkazu

WMi – wskaźnika rozkazu dwosłowowego

WBI – wskaźnika B—modyfikacji

PBI – wskaźnika prawego bajtu

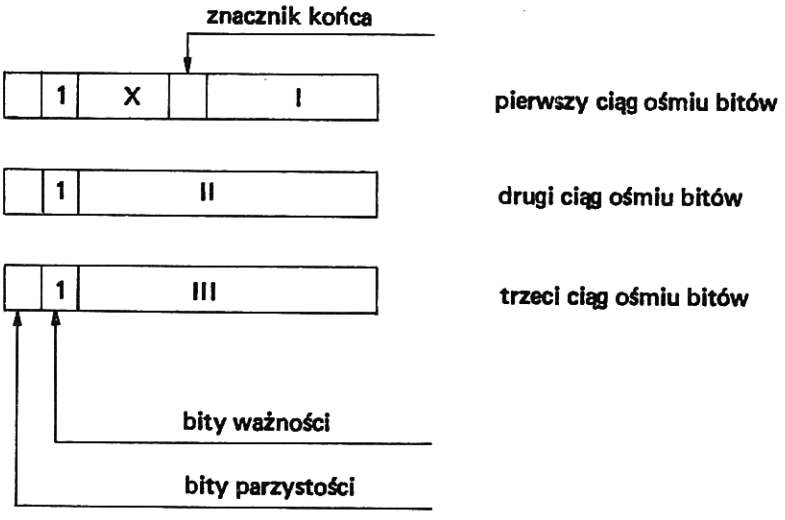
WPI – wskaźnika premodyfikacji

Ponadto w stanie PO na lampkach informacyjnych wyświetlana jest informacja wybrana wg położenia przełącznika rejestrów. Wybrana informacja podawana jest na wskaźniki z szyny W. Prawa kolumna pokazuje warunek, czyli wskazuje, który rejestr został wybrany.

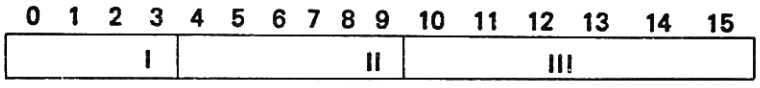
Stan K1 – wykonuje się w nim operacja pobrania znaku z urządzenia wejściowego przy operacji wczytywania taśmy binarnej oraz czynność kompletowania informacji z urządzenia wejściowego w celu przesłania do pamięci. Rozkaz do interfejsu umieszczony jest w liczniku rozkazów IC i w stanie K1 wysyłany jest na szyny adresowe AD wraz z rozkazem "F". Zawartość licznika IC powinna być następująca:

IC/0/=1; IC/1/=0; IC/2/=1; IC/3÷7/=0

na bitach IC/11 ÷14/ podajemy numer kanału a na bitach IC/8÷10/ podajemy numer urządzenia w kanale.
Operacja wczytywania binarnego odbywa się w następujący sposób:



a) postać informacji na nośniku binarnym



b) rozmieszczenie informacji z nośnika binarnego w słowie maszynowym.

Jak widać z powyższego z 24 bitów odczytanych z nośnika binarnego do pamięci maszyny zostanie przesłanych tylko 16 bitów. Znaczenie pozostałych bitów jest następujące:

- bit 9 jest bitem ważności i decyduje, czy słowo z nośnika binarnego ma być wczytane do pamięci, czy nie / jeśli bit 9=1 to słowo z urządzenia wejściowego jest wczytywane
- bit 8 jest bitem parzystości
- iloczyn bitów 9 i 11 przy wczytywaniu pierwszego ciągu bitów w operacji kompletowania słowa maszynowego służy do określenia końca wczytywania. Jeśli iloczyn bitów 9 i 11 dla pierwszego znaku jest równy 1 to następuje zakończenie operacji wczytywania binarnego.

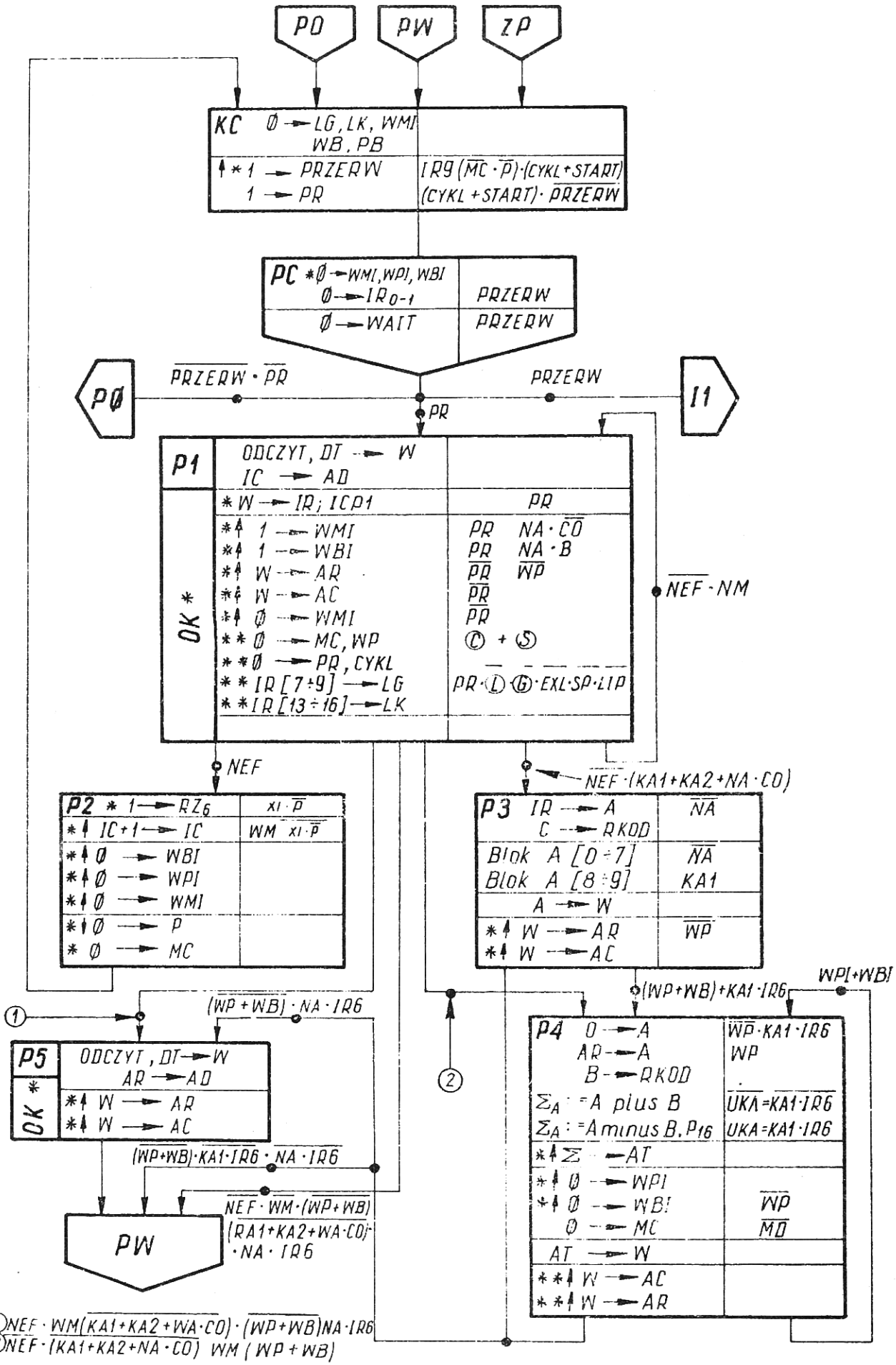
Stan K2 – służy do wykonania operacji kluczy pulpitu LOAD, STORE, FETCH oraz zapamiętania informacji skompletowanej w czasie operacji wczytywania binarnego. Funkcje układów sterowania w tym stanie dokładnie pokazuje rys. 2.9.3.

Zakończenie wykonania wymienionych wyżej operacji z kluczy powoduje zawsze przejście do stanu początkowego PO.

2.9.4.2. Schemat czynnościowy pętli pobrania rozkazu i wyznaczania argumentu efektywnego

Schemat 2.9.4. pokazuje funkcje jednostki centralnej w czasie pobierania rozkazu oraz wyznaczania argumentu efektywnego. Ponadto pokazane są funkcje w fazie końca cyklu KC i początku cyklu PC.

Koniec cyklu KC stanowi fazę pośredniczącą między kolejnymi operacjami pracy dynamicznej jednostki centralnej. W fazie KC wykonuje się zerowanie wyszczególnionych na schemacie liczników wskaźników oraz w zależności od warunków zostają zapalone przerzutniki pobrania rozkazu lub przerwania.



Rys 2.9.4 Schemat czynnościowy petli pobrania rozkazu i wyznaczania argumentu efektywnego

Oznaczenia występujące na schemacie 2.9.4.

PR — pobranie rozkazu

NA — normalny argument

CO — pole C rozkazu jest równe O

B — B—modyfikacja (pole B rozkazu różne od zera)

NEF — rozkaz nieefektywny

UKA — ujemny krótki argument

Pozostałe symbole zostały wcześniej wyjaśnione lub stanowią nazwy rozkazów lub grup rozkazowych.

Stan P1 — służy do odczytania rozkazu wg zawartości licznika rozkazów IC. W przypadku gdy rozkaz ma długość dwóch słów, jednostka centralna przechodzi ponownie do stanu P1 w celu odczytania drugiego słowa z pamięci. Pierwsze słowo rozkazu zostaje zawsze wpisane do rejestru IR, drugiego natomiast (o ile występuje) do rejestru AC oraz do rejestru AR (w przypadku, gdy nie jest zapalony wskaźnik premodyfikacji). W stanie P1 następuje zawsze zwiększenie zawartości licznika rozkazów IC o 1.

Stan P2 — stan, do którego jednostka centralna wchodzi w przypadku gdy odczytany z pamięci rozkaz jest nieefektywny. W przypadku, gdy nastąpiło wykrycie rozkazu nieprawidłowego przy zgaszonym wskaźniku przeskoku P, następuje zgłoszenie przerwania o numerze 6. (pozycja RZ6=1).

Stan P3 — służy do podbrania wartości argumentu pierwotnego w przypadku, gdy dla argumentu normalnego znajduje się on w rejestrze wskazanym przez pole C rozkazu lub wyodrębnienia ze słowa rozkazowego argumentu krótkiego lub bajtowego. Argument przesłany jest do rejestrów AC oraz AR (w przypadku, gdy zgaszony jest wskaźnik premodyfikacji).

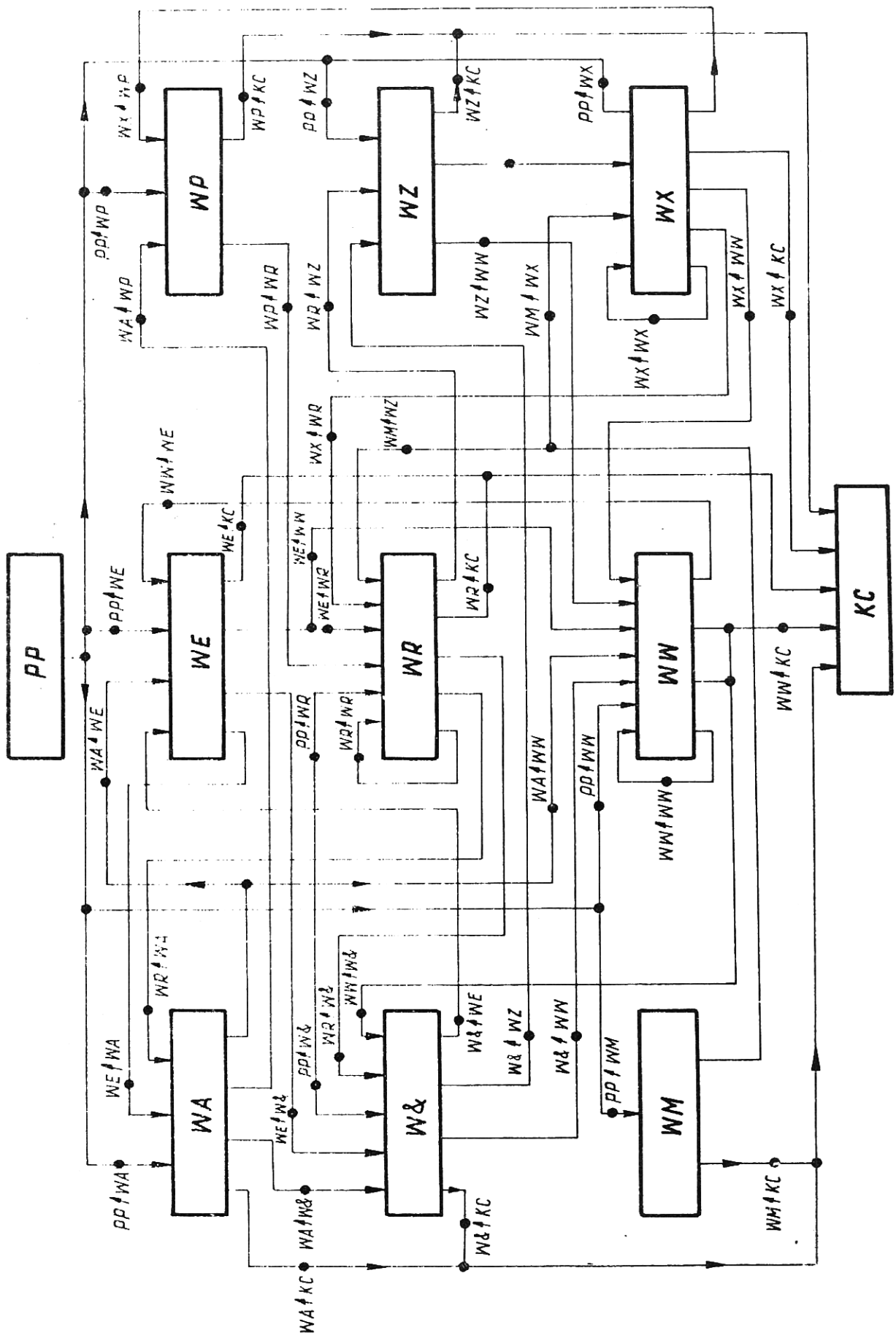
Stan P4 — służy do wykonania premodyfikacji MOD oraz modyfikacji indeksowej argumentu (pole B ≠ O) oraz do przetwarzania ujemnego argumentu krótkiego do postaci uzupełnieniowej. Obliczony w stanie P4 argument rozkazu jest umieszczony w rejestrach AR i AC.

Stan P5 — służy do pobrania z pamięci argumentu efektywnego rozkazu w przypadku adresowania pośredniego (D=1). W tym przypadku odczyt dokonywany jest wg zawartości rejestru AR a odczytane słowo przesłane do rejestrów AC i AR.

W wyniku operacji wykonywanych w stanach pętli podstawowej, jednostka centralna umieszcza obliczony argument efektywny rozkazu w rejestrach AR i AC. Licznik rozkazów wskazuje adres następnego rozkazu. Z pętli podstawowej następuje bezpośrednio przejście do pętli wykonawczej.

2.9.4.3. Schemat czynnościowy pętli wykonawczej

Bezpośrednio po zakończeniu czynności przewidzianych w pętli podstawowej, maszyna przechodzi do pętli wykonawczej. Pętla wykonawcza składa się z dziewięciu stanów i służy do wykonania operacji wynikających z treści rozkazu. Drogi przepływu sygnałów w pętli wykonawczej pokazuje rys.2.9.5. Po zakończeniu czynności przewidzianych w pętli wykonawczej maszyna przechodzi do fazy końca cyklu.
Dla każdego stanu pętli wykonawczej przewidziano mikrooperacje wykonywane bezwarunkowo tzn., że wejście do danego stanu powoduje wykonanie tych mikrooperacji oraz mikrooperacje wykonywane warunkowo, tzn. w zależności od treści rozkazu. Schemat czynnościowy pętli wykonawczej (rys.2.9.6) wymienia wszystkie określone wyżej mikrooperacje maszyny. Na schemacie czynnościowym zaznaczono również kolejność przechodzenia przez poszczególne stany pętli wykonawczej.



Rys 2.9.5 Graf przepływu sygnałów w pętli wykonawczej

Stan WA – służy do przesyłania informacji z rejestrów uniwersalnych do innych rejestrów maszyny i odwrotnie. Numer rejestru uniwersalnego zapamiętany w liczniku grupowym (LG) wysyłany jest na linie wybierania rejestru (RKOD). Przesyłanie informacji odbywa się za pośrednictwem szyn A i W.

Stan WP – służy do przesyłania informacji z rejestru AC do licznika IC lub rejestrów uniwersalnych oraz do przesyłania zawartości rejestru AT do rejestru AR lub rejestrów uniwersalnych. Przesyłanie odbywa się za pośrednictwem szyny W. Na stałe wysterowana jest mikrooperacja wysłania zawartości licznika grupowego na linie RKOD.

Stan WE – wykonują się w nim operacje jednostki arytmetyczno–logicznej (sumatora) wynikające z treści rozkazu. Argumentami sumatora są: zawartość rejestru AC oraz informacja wysterowana na szynę A. Wynik sumatora zapisywany jest do rejestru AT skąd poprzez szynę W do odpowiedniego rejestru. Sumator wykonuje operacje arytmetyczne i logiczne. Operacje arytmetyczne oznaczone są symbolem Σ_A, logiczne Σ_L. Stan WE jest stanem, w którym występują dwa kolejne sygnały strobu (STROB1 i STROB2). Pierwszy strob zapisuje wynik sumatora do AT, drugi natomiast do rejestru wynikowego.

Stan W & – podobnie jak w stanie WE wykonują się w nim operacje sumatora. Zapis wyniku wykonywany jest analogicznie jak w stanie WE. Ponadto w stanie tym dokonywana jest analiza sumatora oraz ustawienie odpowiednich wskaźników w rejestrze RO oraz wskaźnika przeskoku P. Przeskok ustawiany jest wg wartości sygnału ZS (zero na wyjściu sumatora) lub JS (jedynki na wyjściu sumatora). Dla rozkazów bajtowych zastosowano dzielone sterowanie sumatora. Oznacza to, że treść operacji sumatora dla lewego bajtu argumentów jest inna niż dla prawego bajtu.

Stan WZ – stan, w którym wykonują się operacje logiczne na zawartości rejestru AC oraz rejestru uniwersalnego wysterowanego na szynę A. Wynik przesyłany jest do rejestru AT.

Stan WR – stan, w którym dokonywany jest odczyt z pamięci operacyjnej. Wysterowane są linie adresowe (z rejestru AR lub licznika IC) interfejsu oraz wysyłany sygnał odczytu DR. W zależności od tego, z którego bloku ma być dokonany odczyt, wysterowuje się linie numeru bloku pamięci z rejestru numeru bloku SR (12÷15). Odczytana z pamięci informacja, która znajduje się na liniach DT, podawana jest na szynę W, skąd zapisuje się ją do odpowiedniego rejestru wynikającego z treści rozkazu. Dla rozkazów pobierania grupowego dokonywane jest w tym stanie przeadresowanie rejestru adresowego oraz zwiększenie o 1 zawartości licznika grupowego LG (wg którego dokonuje się zapis do rejestrów) oraz zmniejszenie o 1 zawartości licznika kroków LK (w którym oblicza się ilość odczytów).

Stan WW – dokonuje się w nim zapis do pamięci operacyjnej. Adres wysterowany jest z rejestru AR; wysyłany jest sygnał zapisu DW. W zależności od treści rozkazu wysterowane są szyny numeru bloku. Informacja do pamięci podawana jest z odpowiedniego rejestru na szynę W, skąd podawana jest na linie DT.

Stan WM – służy do wysyłania do interfejsu sygnałów: przerwania (IN), send (S), fetch (F) oraz sygnału zerowania ogólnego MCL. W celu wysłania sygnału przerwania do drugiego procesora, jednostka polaryzuje linię DIN, DDT15 oraz DDTO w zależności od tego, czy ma nastąpić zgłoszenie przerwania o wyższym, czy niższym priorytecie. W celu wysłania informacji do interfejsu, jednostka centralna polaryzuje linię DS, linie adresowe DAD z rejestru AR, linie DQB, DNB, DPN oraz linie informacyjne DDT z rejestru uniwersalnego wskazanego zawartością licznika grupowego. Dla pobrania informacji z interfejsu, jednostka centralna polaryzuje linię DF, linie adresowe oraz linie DQB, DNB, DPN. Informacja, która zostanie wysterowana do interfejsu na linie danych DDT jest pobierana do rejestru uniwersalnego wskazanego zawartością licznika LG.

Stan WX – służy do wykonania funkcji pomocniczych, a mianowicie:

– ustawienie wartości licznika LK i licznika LG dla rozkazów przesłań grupowych,

- obliczania ilości premodyfikacji,
- obliczania zawartości licznika rozkazów IC w zależności od odpowiedzi z interfejsu dla rozkazów przesłania OU i pobrania IN,
- ustalenie, który bajt został zaadresowany w rozkazach bajtowych,
- przesuwanie o jedną pozycję w prawo zawartości rejestru AT
- wysterowanie odpowiedniej wartości na najbardziej znaczącą pozycję dla rozkazów przesuwania.

STANY	Typ	Mikrooper. bezwar.	Grupa / Rozkaz / Treść rozkazu / WSK	——	——	——	——	——
			Rozkaz	LW + LWT	TW	LS	RI	RW + PW
			Treść rozkazu	R := N	R := S(N, BAR)	R := R · $\overline{R7}$ + N · R7	S(R) := N R := R + 1	S(N) := R RW S(N,BAR) := R PW
			WSK					
WA	*	LG → R_{KOD}				2 R → A A → W * W → AC 1 → WLS	1 R → A A → W * W → AR	
WP	*	LG → R_{KOD}		AC → W * W → R				
WE	* * *	LG → R_{KOD} / $\overline{LS}$ * ↓ Σ → AT AT → W				$\overline{WLS}$ 1 3 7 → R_{KOD} WLS $\Sigma_L := A \cdot B$ $\overline{WLS}$ WLS $\Sigma_L := \overline{A} \cdot B$ WLS WLS ** W → AR $\overline{WLS}$ WLS ** W → AC WLS		
W&	* * *	LG → R_{KOD} / $\overline{BS}$ · $\overline{OC}$ * ↓ Σ → AT AT → W				4 ∅ → WLS AR → A $\Sigma_L := A + B$ ** W → R	3 R → A $\Sigma_A := A$ $P_{16} := 1$ ** W → R	
WZ	*	LG → R_{KOD} * ↓ Σ → AT						
WR	OK * └ *	LG → R_{KOD} AR → AD READ DT → W			BAR → NB * W → R			
WW	OK * └ *	LG → R_{KOD} AR → AD W → DT WRITE * ↓ KON. REZ					2 AC → W	R → A A → W BAR → NB PW
WM	OK * └ *	LG → R_{KOD} Q, N_{pr} → QB, NB						
WX	*	* ↓ AT/2 → AT						

	+SARYT	-SD	-SCB	-SCA	-SB	-SAB	-SAA	$-P_{16}$	
$\Sigma_L := A \cdot B$	0	0	1	1	0	0	0		$LS \cdot \overline{WLS}$
$\Sigma_L := \overline{A} \cdot B$	0	1	1	1	0	1	1		$LS \cdot WLS$
$\Sigma_L := A + B$	0	0	0	0	0	1	1		LS
$\Sigma_L := A$	1	1	1	1	1	1	1	0	RI

Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej Ark. 1

Grupa	——	——	——	——	——
Rozkaz	AW + AWT + AC	SW	CW + CWT + CL	OR + NR + ER + XR	OM + NM + EM + XM
Treść rozkazu	$R := \begin{cases} R+N & \overline{AC} \\ R+N+C & AC \end{cases}$	$R := R - N$	$R \geq N_A \rightarrow LEG$ $\overline{CL}$ $R \geq N_L \rightarrow LEG$ CL	$R \vee N$ OR $R \wedge N$ NR $R := R \wedge \overline{N}$ ER $R \oplus N$ XR	$S(N,BAR) \vee R$ OM $S(N,BAR) \wedge R$ NM $S(N,BAR) := =$ $S(N,BAR \wedge \overline{R})$ EM $S(N,BAR) \oplus R$ XM
Wskał. / Stany	ZMVC	ZMVC	LEG	Z	
W&	$R \rightarrow A$ $\Sigma_A := A$ plus B $P_{16} := C$ * ↓ UST. ZMVC ** $W \rightarrow R$	$R \rightarrow A$ $\Sigma_A := A$ minus B $P_{16} := 1$ * ↓ UST. ZMVC ** $W \rightarrow R$	$R \rightarrow A$ $\Sigma_A := A$ minus B $P_{16} := 1$ ** ↓ UST. LEG ARYTM CW.T	$R \rightarrow A$ $\Sigma_L := \begin{cases} A \vee B & OR \\ A \wedge \overline{B} & NR \\ A \wedge \overline{B} & ER \\ A \oplus B & XR \end{cases}$ * ↓ UST. Z ** $W \rightarrow R$	
WZ					2 $R \rightarrow A$ * ↓ UST. Z $\Sigma_L := \begin{cases} A \vee B & OM \\ A \wedge B & NM \\ \overline{A} \wedge B & EN \\ A \oplus B & XM \end{cases}$
WR					1 $BAR \rightarrow NB$ * ↓ $W \rightarrow AC$ Rez.
WW					3 $BAR \rightarrow NB$ $AT \rightarrow N$

	+SARYT	-SD	-SCB	-SCA	-SB	-SAB	-SAA	$-P_{16}$	
$\Sigma_A := A + B$	1	0	1	1	1	0	0	C	AD
$\Sigma_A := A - B$	1	1	0	0	0	1	1	0	SW, CO
$\Sigma_L := A \vee B$	0	0	0	0	0	1	1		OR, OM
$\Sigma_L := A \wedge \overline{B}$	0	0	1	1	0	0	0		NR, NM
$\Sigma_L := A \wedge \overline{B}$	0	1	0	0	0	0	0		ER, EM
$\Sigma_L := A \oplus B$	0	1	0	0	0	1	1		XR, XM

Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej Ark. 2

Grupa	——	——	——	——	——
Rozkaz	RJ	IS	BB ; BC ; BN	BM	BS
Treść rozkazu	R := IC IC := N	(S(N,B) ∧ R ≡ R) → P (S(N,B) ∧ R ≠ R) → S(N,B) := S(N,B) R	R ∧ N ≡ N R ∧ N ≠ N R ∧ N ≡ 0 → P BB BC BN	(S(N,B) ∧ R ≡ R) → P	(R·R7 ≡ N·R7) → P
Wskaż. / Stany		P	P	P	P
WA	1 IC → A A → W * W → R				
WP	2 AC → W W → IC				
WE					1 R → A Σ_L := A ⊕ B ** W → AC
W&		2 R → A Σ_L := A ∧ $\bar{B}$ * ↓ ZS → P ** KON. REZ WZ	R → A $\bar{A}$ ∧ B Σ_L := A ∨ $\bar{B}$ A ∧ B * ↓ ZS * ↓ 1111 → P BB BC BN $\overline{BC}$ BC	2 R → A Σ_L := A ∧ $\bar{B}$ * ↓ ZS → P	2 7 → R_{KOD} R → A Σ_L := A ∧ B * ↓ ZS → P
WZ		WZ 3 R → A Σ_L := A ∨ B			
WR		1 BAR → NB * ↓ W → AC REZ.		1 BAR → NB * ↓ W → AC	
WW		4 BAR → NB AT → W			

→ KC

	+SARYT	-SD	-SCB	-SCA	-SB	-SAB	-SAA	
Σ_L := A ∧ $\bar{B}$	0	1	0	0	0	0	0	IS, BM
Σ_L := A ∨ B	0	0	0	0	0	1	1	IS
Σ_L := $\bar{A}$ ∧ B	0	1	1	1	0	1	1	BB
Σ_L := A ∨ $\bar{B}$	0	0	0	0	1	0	0	BC
Σ_L := A ∧ B	0	0	1	1	0	0	0	BN, BS
Σ_L := A ⊕ B	0	1	0	0	0	1	1	BS

Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej

Ark. 3

Grupa	B/N	KA 1	KA 1	JS	C	C
Rozkaz	MB; IM; FI	LWS	RWS	UJS, JLS, JES, JGS JVS, JXS, JCS	RKY; RIC D=1; 0	ZLB; ZRB D=0; 0
TREŚĆ ROZKAZU	BAR:=S(N)$_{10-15}$ RM:=S(N)$_{0-8}$ RZ:=S(N) | MB IM FI	R:=S(IC+N)	S(IC+N):=R	IC:=IC+N	R:= KB D=1; IC 0	R 0-7 :=0 D=0; 8-15 :=0 D=1
Wskaż / Stany				0→V | J,V,S		
WE		1 IC→A; ΣA:=A plus B; ** W→AR	1 IC→A; ΣA:=A plus B; ** W→AR	IC→A; ΣA:=A plus B; ** W→IC; * 0→V | J,V,S		R→A; Blok A 0-7 D=0, 8-15 D=1; ΣL:=A; ** W→R
WA					IC→A; A→W } 0; KB→W 1; *W→R	
WR	*↓ W→BAR; *↓ W→RM; *↓ W→RZ | MB IM FI	2 * W→R				
WW			2 R→A; A→W			

	+SARYT	-SD	-SCB	-SCA	-SB	-SAB	-SAA	-P16	
$\Sigma_A := A + B$	1	0	1	1	1	0	0	1	LWS, RWS, JS
$\Sigma_L := A \cup \bar{B}$	0	0	0	0	1	0	0		OC
$\Sigma_L := A$	0	0	0	0	0	0	0		ZB

Rys. 2.9.6. Schemat czynnościowy pętli wykonawczej

Ark 1

Grupa	KA 2	C	B/N	J	J	B/N
Rozkaz	BRC ; BLC	SXU, D=0 SXL D=1	RZ ; KI	UJ, JL, JE, JG, JZ, JM JNE	LJ	IB
Treść rozkazu	D=1 D=0 $RO^{0-7}_{8-15} \wedge N \not\equiv N \rightarrow P$ | BLC BRC	$\left.\begin{matrix} R_0 \\ R_{15} \end{matrix}\right\} \rightarrow X$ $\frac{D}{0}$ 1	S(N):=0 | RZ S(N):=RI | KI	IC:=N	S(N):=IC IC:=N+1	S(N):=S(N)+1 S(N)=0 → P
Wskaż. / Stany	P	X	NL, KI			P
WA		R → A $\frac{D}{0}$ $\left.\begin{matrix} A_0 \\ A_{15} \end{matrix}\right\} \rightarrow X$ 1 A → W *↓ UST. X				
WP				AC → W *W → IC		
WE					2 BLOK A Σ_A := A plus B P_{16} := 1 **W → IC	
W&	Ø → R_{KOD} BLOK R → L, RØ ↷ L | BLC R → A BLOK A_{0-7} $\Sigma_L := A \vee \bar{B}$ $\left.\begin{matrix} 11111 \\ \hline **WZ \end{matrix}\right\} \rightarrow P$					2 BLOK A Σ_A := A plus B P_{16} := 1 *↓ ZS → P
WR						1 *↓ W → AC REZ
WW			0 → W | RZ RZ → KI | KI KI → W		1 IC → A A → W	3 AT → W

	+SARYT	-SD	-SCB	-SCA	-SB	-SAB	-SAA	$-P_{16}$	
$\Sigma_A := A + B$	1	0	1	1	1	0	0	0	LJ, IB

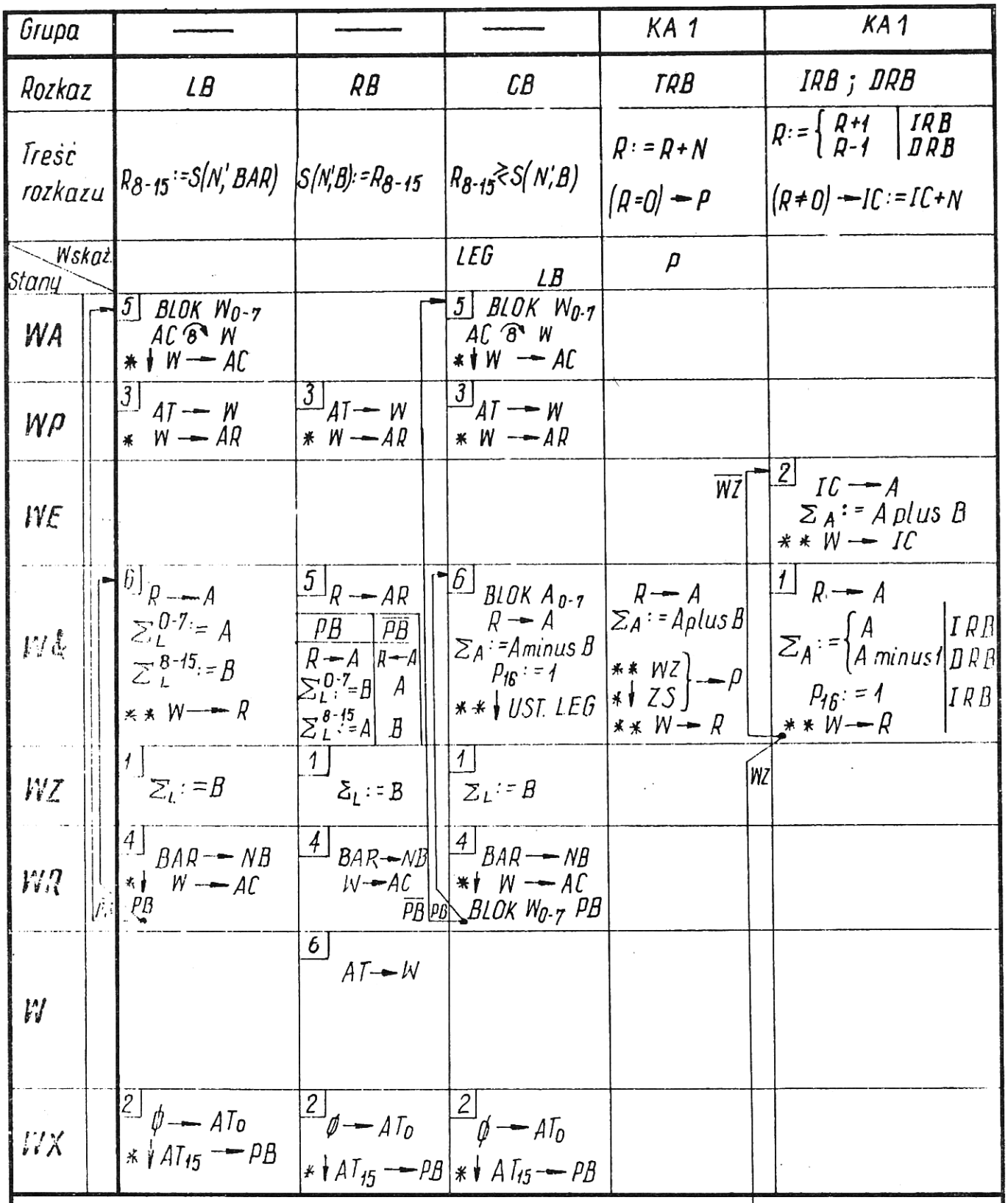
Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej

Ark. 5

Grupa	L	G	B/N	B	B	B
Rozkaz	LD, LF, LA, LL TD, TF, TA, TL	RD, RF, RA, RL PD, PF, PA, PL	MD	HLT	MCL	SIL
Treść rozkazu	$R_{i...j} := S(N) + S(N+K)$ $R_{i...j} := S(N, BAR), \ldots$ $S(N+K)$ BAR		N → MOD	1 → WAIT		$RZ_{31} := \begin{cases} 0 \\ 1 \end{cases} \Big\vert \begin{matrix} \underline{D} \\ 0 \\ 1 \end{matrix}$
Wskaż / Stanny						NL
WR	2 BAR → NB * W → R * ↓ AR + 1 * ↓ LG + 1 ↓ * LK − 1 IR7 LK					
WW	$\overline{LK}$ 2 BAR → NB R → A A → W * ↓ AR + 1 * ↓ LG + 1 ↓ * LK − 1 IR7 LK					
WM	$\overline{LK}$				M-CL CL	
WX	1 * UST. LK * * UST. LG *	1 * UST. LK * UST. LG	* MC + 1 1 → WP	1 → WAIT		$RZ_{31} := \begin{cases} 0 \\ 1 \end{cases} \Big\vert \begin{matrix} \underline{D} \\ 0 \\ 1 \end{matrix}$
	→ KC	→ KC				

Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej

Ark. 6



Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej Ark.7

Grupa	B	—	—	C	C
Rozkaz	GIU	OU	IN	RPC	LPC
Treść rozkazu	$RZ''_3 := 1$ D; $RZ''_{30} := 1$ 1; OK → P	S; R → DT; N → AD	F; DT → R; N → AD	RØ → RA	RA → RØ
Wsk. / Stany	P; NL	P; NL	P		
WA				RØ → A; A → W; * ↓ W → RA	RA → A; A → W; * ↓ W → RØ
WR		2: IC → AD; READ; W → IC	2: IC → AD; READ; W → IC		
WM	1: IN; 1 → DT15; Ø → DTØ D; 1 → DTØ 0; OK → P	1: S; R → A; A → W; W → DT; Odp → LK	1: F; DT → W; * W → R; − POK; Odp → LK		
WX	LK	IC +1 LK; LK −1 LK	IC +1 LK; LK −1 LK		

Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej

Ark. 8

Grupa	C	C	C	C
rozkaz	NGL	NGA ; NGC D=0 D=1	SRZ ; SRY ; SRX ; SHC	SLZ SLY SLX SVZ SVY SVX
treść rozkazu	$R := \bar{R}$	$R := \begin{cases} \bar{R}+1 & \overset{D}{0} \\ \bar{R}+C & 1 \end{cases}$	0 Y X R_{15} $R \curvearrowright_1 R$ $R_{15} \rightarrow Y$ DCB SRZ 101 SRY 070 SRX 170 SHC xx2 $\overline{SHC}$	$R \curvearrowleft_1 R$ 0 SZ 4 Y SY 5 X SX 6 UST. Y UST. V D=1
Wskaż / Stany	Z	ZMVC	Y $\overline{SHC}$	Y, V D=1
WA		1 $R \rightarrow A$ $A \rightarrow W$ $* \downarrow W \rightarrow AC$		
WP			3 $AT \rightarrow W$ $* W \rightarrow R$	
W&	$R \rightarrow A$ $\Sigma_L := \bar{A}$ $* \downarrow$ UST. Z $** W \rightarrow R$	2 BLOK A $\Sigma_A := A$ minus B $P_{16} := \begin{cases} 1 & D=0 \\ C & D=1 \end{cases}$ * UST. ZMVC ** $W \rightarrow R$		$R \rightarrow A$ $\Sigma_A := A$ plus A $P_{16} := \begin{cases} 0 & \overset{D}{4} \\ Y & 5 \\ X & 6 \end{cases}$ $* \downarrow A_0 \rightarrow Y$ $* \downarrow$ UST. V $** W \rightarrow R$ D=1
WZ			1 $R \rightarrow A$ $\Sigma_L := A$	
WX		$\overline{LK}$ LK	2 0, Y, X, AT_{15} } AT_0 $AT_{15} \rightarrow Y$ $\uparrow * LK - 1$ SRZ SRY SRX SHC $\overline{SHC}$ LK	

	+SARYT	-SD	-SCB	-SCA	-SB	-SAB	-SAA	$-P_{16}$	
$\Sigma_L := \bar{A}$	0	1	1	1	1	1	1		NGL
$\Sigma_A := A - B$	1	1	0	0	0	1	1	0 C	NG
$\Sigma_L := A$	0	0	0	0	0	0	0		SR
$\Sigma_A := A + A$	1	0	0	0	1	1	1	1 Y X	SL

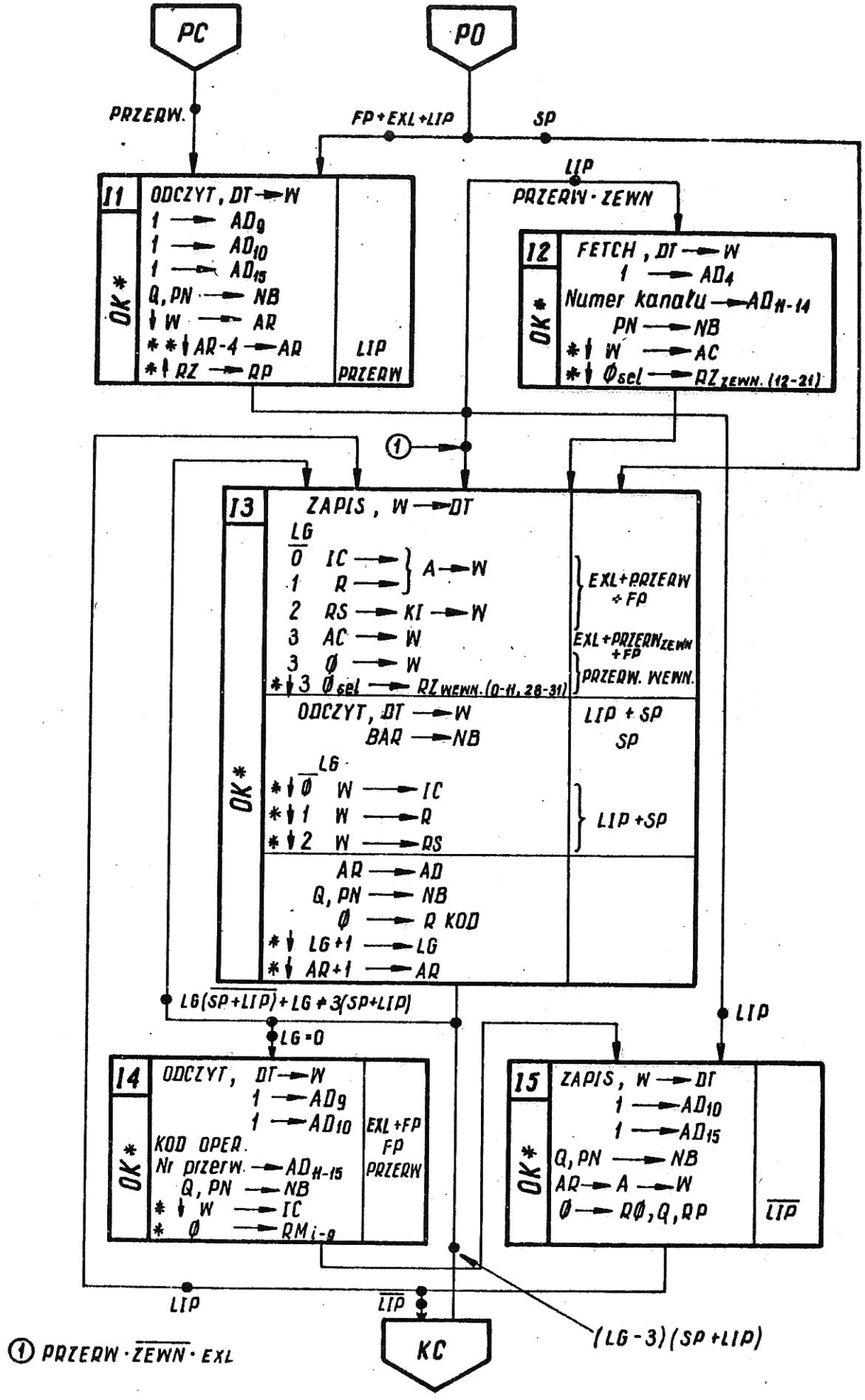
Rys. 2.9.6 Schemat czynnościowy pętli wykonawczej

Ark. 9

2.9.4.4. Schemat czynnościowy pętli obsługi przerwań

Schemat czynnościowy pętli obsługi przerwań pokazuje funkcje jednostki centralnej w czasie obsługi przerwań oraz wykonywania rozkazów EXL (ekstrakod), LIP (powróć z przerwania) i SP (powróć do programu). Jednostka centralna wchodzi do pętli obsługi przerwań w przypadku, gdy spełnione są warunki na przyjęcie przerwania po przejściu przez fazę początku cyklu (PC) lub z pętli podstawowej w przypadku zdekodowania wymienionych wyżej rozkazów. Schemat czynnościowy pokazany jest na rys. 2.9.7.

Jednostka centralna wchodzi również do pętli obsługi przerwań, gdy użyte są rozkazy działań na liczbach długich i zmiennoprzecinkowych w przypadku, gdy nie jest zainstalowany arytmometr wielokrotnej precyzji.
W tym przypadku, przejście do pętli obsługi przerwań następuje po wyznaczeniu argumentu efektywnego w pętli podstawowej.



Rys. 2.9.7. Schemat czynnościowy pętli obsługi przerwań

Stan I1 – dokonuje się w nim odczytu zawartości wskaźnika stosu, tzn. zawartości komórki pamięci o adresie 97 w bloku zerowym. Wysterowuje się w tym celu odpowiednie szyny adresowe interfejsu. Zawartość wskaźnika stosu przesyłana jest do rejestru AR. W przypadku przerwania następuje przesłanie zawartości rejestru zgłoszeń przerwań RZ do rejestru przyjęć RP. W rejestrze przyjęć następuje automatycznie wybranie numeru przerwania o najwyższym priorytecie. W przypadku rozkazu LIP od zawartości rejestru AR, po odczytaniu wskaźnika stosu, odejmuje się 4. W ten sposób przygotowany zostaje adres miejsca pamięci, od którego należy później zapisywać do IC, RO, SR.

Stan I2 – stan, do którego jednostka centralna wchodzi tylko w przypadku przyjęcia przerwania z kanałów wejścia–wyjścia w celu pobrania specyfikacji przerwania. Wysterowany jest sygnał FETCH, DF oraz na szynach adresowych DAD, numer kanału, którego przerwanie zostało przyjęte (pozycje DAD (11÷ 14 kod rozkazu pobrania specyfikacji). Podaną przez kanał specyfikację przesyła się do rejestru AC. Następnie zostaje wyzerowana w rejestrze RZ pozycja, której odpowiadające przerwanie zostało przyjęte.

Stan I3 – dokonuje się w nim zapisu stanu programu na stos w przypadku przerwania, rozkazu EXL lub użycia rozkazu na liczbach długich i zmiennoprzecinkowych w przypadku braku arytmometru wielokrotnej precyji albo odtworzenia stanu programu w przypadku rozkazów LIP lub SP.

Dla przerwania lub rozkazu EXL, zapisuje się kolejno zawartości rejestrów IC, RO, SR, AC. Adres początku pola pamięci znajduje się w rejestrze AR, który po każdym zapisie zwiększa swą zawartość o 1. Ilość zapisów do pamięci obliczana jest w liczniku LG, który liczy kolejne kroki od 0 do 3. Licznik LG liczy w tym przypadku modulo 4. Jednostka centralna czterokrotnie znajduje się w stanie I3, po czym przechodzi do stanu I4. Przy stanie LG = 3, w przypadku obsługi przerwania wewnętrznego następuje wyzerowanie w rejestrze RZ pozycji, której odpowiadające przerwanie zostało przyjęte.

Dla rozkazów LIP lub SP dokonuje się odczytu trzech kolejnych komórek pamięci i zapisuje się ich zawartość kolejno do rejestrów IC, RO, SR. Adres początku pola pamięci znajduje się w rejestrze AR. Odliczanie ilości kroków odbywa się wg licznika LG. Maszyna znajduje się trzykrotnie w stanie I3, po czym przechodzi do końca cyklu.

Stan I4 – dokonuje się w nim odczytu adresu początku podprogramu obsługi przerwania, adresu podprogramu ekstrakodu lub adresu podprogramu wykonania rozkazu na liczbach długich i zmiennoprzecinkowych, gdy nie jest zainstalowany arytmometr wielokrotnej precyzji. W przypadku obsługi przerwań wysterowany jest na szyny adresowe adres początku tabeli przerwań (64) na pozycji DAD9 oraz numer przyjętego przerwania na pozycjach DAD (11÷15).

W przypadku ekstrakodu odczytuje się zawartość komórki pamięci o adresie 96. Odczytany z pamięci adres przesyłany jest do licznika rozkazów.

Stan I5 – stan, w którym dokonuje się uaktualnienia zawartości wskaźnika stosu. Wysterowuje się adres wskaźnika stosu (97) na szyny adresowe, natomiast na linie informacyjne podaje się zawartość rejestru AR.

Po zakończeniu czynności przewidzianych w pętli obsługi przerwań maszyna przechodzi do końca cyklu.

2.10. Opis budowy procesora

2.10.1. Plater modułu MJC

Plater modułu MJC składany jest z dwóch płyt laminowanych dwustronnie i połączonych mechanicznie. W plater wmontowane są dwa typy łączówek. W polu "W", "X" i "Y" (rys.2.10.1) zamontowane są łączówki pośrednie 84–stykowe, w pozostałej części zamontowane są łączówki 96–stykowe.
Wszystkie łączówki służą do realizacji połączeń między pakietami i doprowadzania napięć zasilających do pakietów. Łączówki "Z" i "R" zamontowane na krawędzi plateru realizują podłączenia odpowiednio górnego i dolnego zasilacza.

Pulpit techniczny podłączony jest łączówką "P" umieszczoną na krawędzi płateru.
Połączenia pomiędzy pakietami są wykonywane na zewnętrznej stronie płateru metodą owijania przewodów i metodą druku.
Napięcia zasilające pakiety są rozprowadzone drukiem po obydwu stronach płateru.
Rysunek 2.10.1 przedstawia widok płateru od strony połączeń.

Łączówki na płaterze są ponumerowane od górnej krawędzi płateru kolejno od 1 do 20.

Pakiety umieszczone są w następującej kolejności:

– w polu łączówek krawędziowych:

1	F–PA	pakiety arytmometru wielokrotnej precyzji
2	F–PM	
3	F–PS	
4	P–X	pakiety procesora
5	P–M	
6	P–D	
7	P–P	
8	P–R	
9	P–A	
10	A–PI	pakiet kanału automatyki

Styki na poszczególnych pozycjach numerowane są kolejno od lewej strony (od 1 do 96), styki górne łączówki oznaczone są literą B, styki dolne literą A.
Napięcie zasilające rozprowadzone jest do następujących styków łączówek:

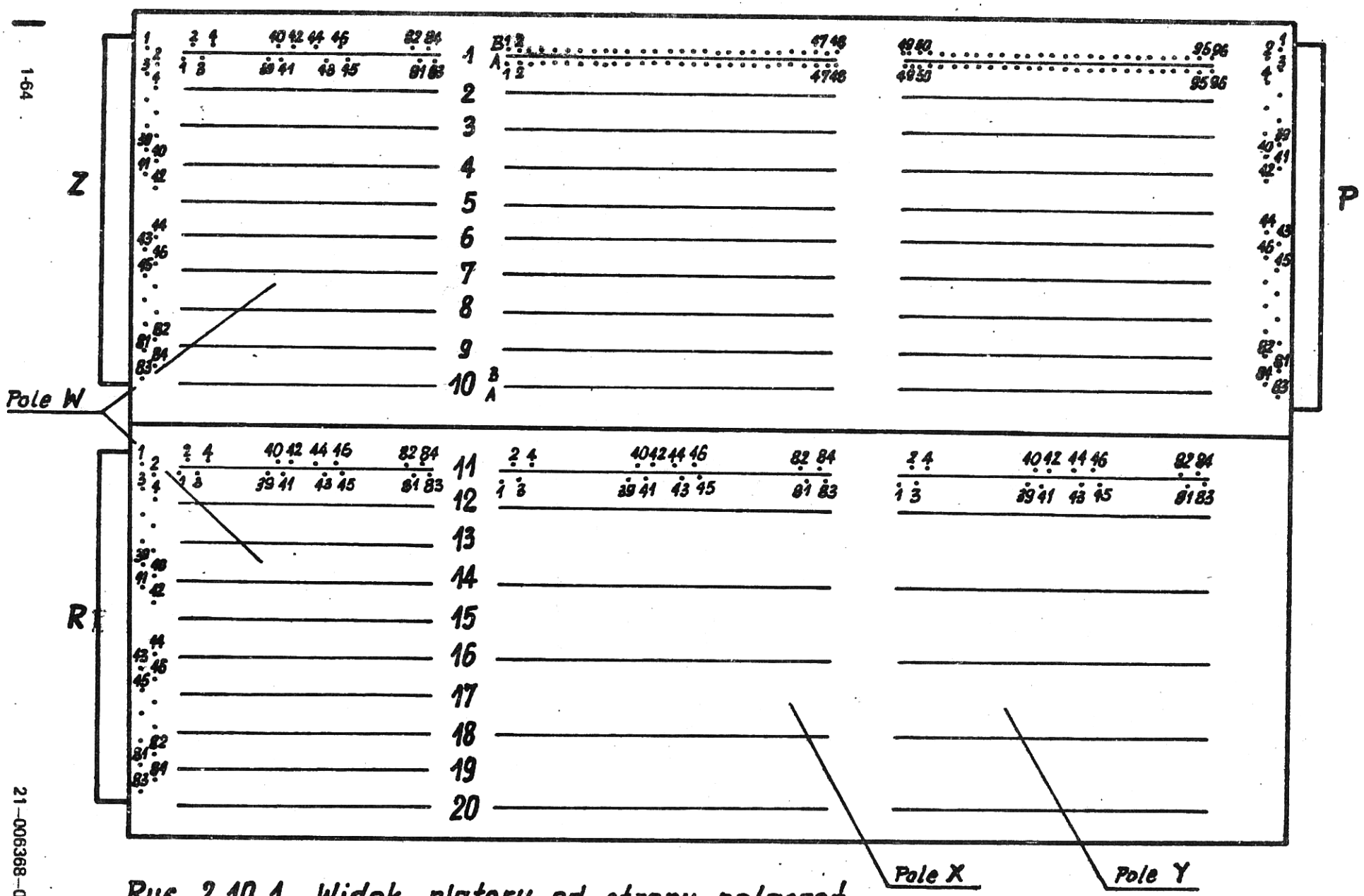
OV, A–1, B–1; A–96, B–96
+5 V, A–2, B–2; A–95, B–95

na pozycje 10 doprowadzane jest dodatkowo OV na styki B–18,19,20,43,44,45,70,71,72.
Pozostałe styki w tym obszarze są wykorzystane do połączeń międzypakietowych i są wykonane metodą owijania przewodem.

– w polu łączówek W

1		miejsca pakietowa jednostek sterujących urządzeniami pracującymi w kanale znakowym
2		
3		
4		
5		
6		
7		
8		
9	SM–KZA	pakiety kanału znakowego
10	SM–KZB	
11	PPS 32 (dla MJC–400Pp z pamięcią 64k)	

pozycje 12 do 20 przeznaczone są do niestandardowej rozbudowy.



Rys. 2.10.1 Widok plateru od strony połączeń

Styki na poszczególnych pozycjach ponumerowane są od lewej strony kolejno od 1 do 84. Styki górne łączówek mają numery parzyste, styki dolne nieparzyste.
Napięcia zasilające są rozprowadzone w następujące sposób:

0V W–2, W–4; W–82, W–84
+5V W–1; W–83

dla pozycji od 1 do 20.

Na pozycjach od 1 do 8 doprowadzone są dodatkowe napięcia:

–15V W–3; –5V W–5; +15V W–81

Pozostałe styki w tym obszarze są wykorzystane do połączeń międzypakietowych. Pozycje od 1 do 8 mają jednakowe połączenia, wykonane drukiem, pozycje 9 i 10 są owijane. Pozycje 11 do 20 są nie połączone.

– w polu łączówek X, Y

Dla MJC–400

11	SM–ISP	pakiet interfejsu
12	SM–POSE	pakiet sterowania pamięcią ferrytową
14	FJP–8/18/1	pakiet pamięci 8k słów
16	FJP–8/18/1	pakiet pamięci 8k słów
18	FJP–8/18/1	pakiet pamięci 8k słów
20	FJP–8/18/1	pakiet pamięci 8k słów

Dla MJC–400Pp

11	SM–ISP	pakiet interfejsu
12	SPP–32/16	pakiet sterowania pamięcią półprzewodnikową
14	JPP 16/18	pakiet pamięci 16k słów
16	JPP 16/18	pakiet pamięci 16k słów
18	JPP 16/18	pakiet pamięci 16k słów } dla wyk. 64k
20	JPP 16/18	pakiet pamięci 16k słów } dla wyk. 64k

Styki na poszczególnych pozycjach ponumerowane są od lewej strony kolejno od 1 do 84, styki górne mają numery parzyste, styki dolne nieparzyste.
Szyny zasilające są rozprowadzone w następujący sposób:

dla pozycji 11

MJC–400 i MJC–400Pp
0V X–2, X–4, Y–82, Y–84
+5 X–1, X–3, X–68, X–70, Y–46, Y–48, Y–50, Y–81, Y–83
+15 X–83, X–84

dla pozycji 12

MJC–400
0V X–2, X–4, Y–82, Y–84
+5 X–1, X–3, Y–81, Y–83

MJC–400Pp
0V X–2, X–4, X–51, X–53, X–54, X–56, X–67, X–69, X–71÷74, Y–15÷17, Y–28, Y–29, Y–82, Y–84
+5V X–1, X–3, Y–81, Y–83
+5V* X–62, X–64
+12V X–83

dla pozycji 14, 16, 18, 20

MJC–400

0V Y–1,3,5,7,9,11,19,21,23,25,27,29,31,33,35,37,39,41,43,45,47,49,51,53,55,57,67,69,71,73,75,83
0V X–1,3,5,24,25,26,27,29,31,33,35,37,39,55,57,58,59,60,61,83
+5V X–40,41,42,43,45,47,49,51,53,56; Y–13,15,17,61,63,64,65,66
–5V Y–81,84
+15V X–11,12,13,14,75,77,78,80,81,84
–15V Y–6,7,8,9

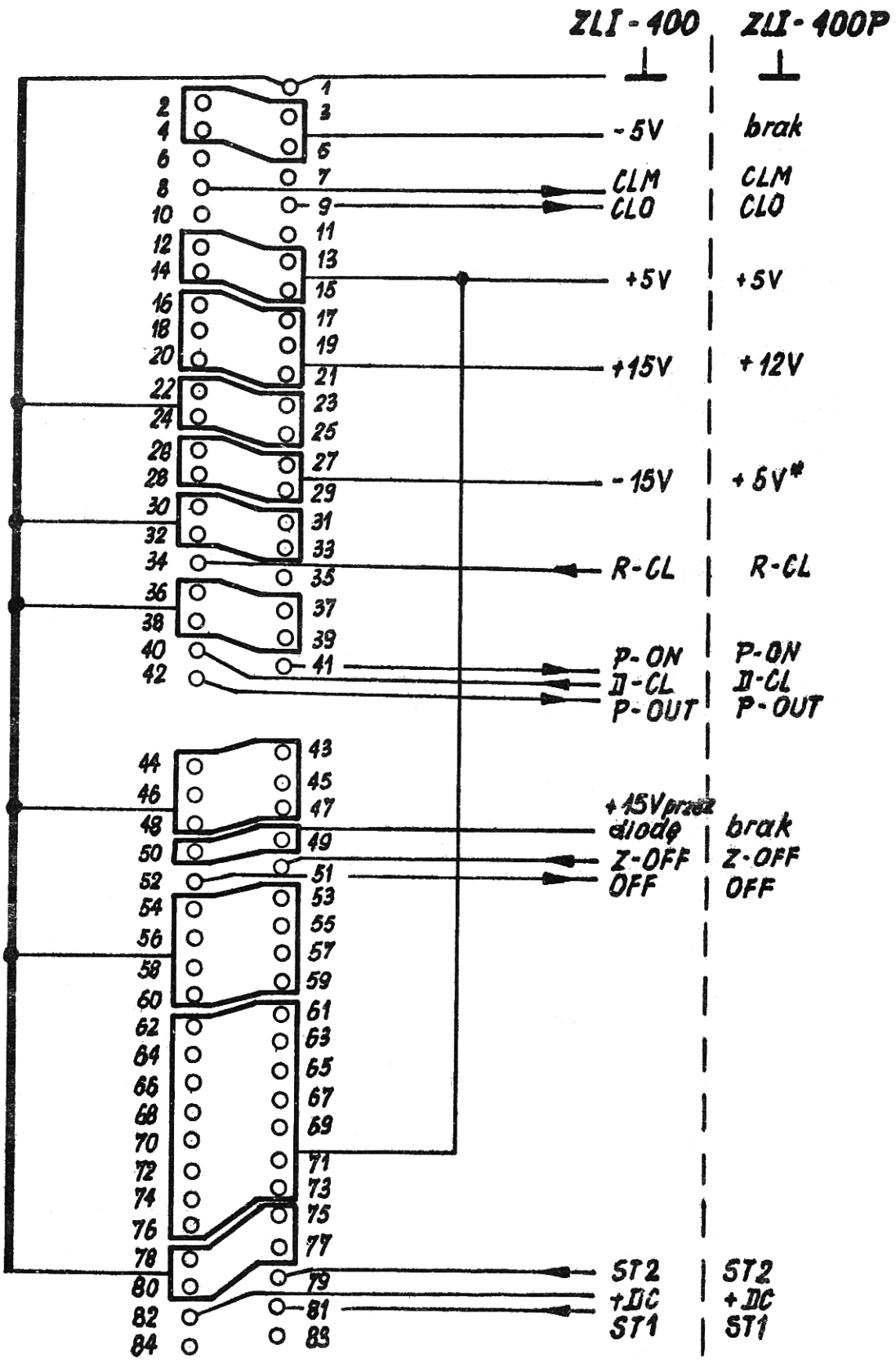
MJC–400Pp

0V jak dla MJC–400
+5V jak dla MJC–400
–5V jak dla MJC–400
+12V X–11÷14, X–75, X–77, X–78, X–81, X–84
+5V* Y–6,7,8,9

Na pozycjach 11 i 12 połączenia są wykonane metodą owijania na pozycjach 14, 16, 18, 20 wykonane są metodą owijania i drukiem.
Łączówka "P" jest przeznaczona do podłączenia pulpitu technicznego. Połączenia realizowane są metodą owijania, zasilanie doprowadzane jest w następujący sposób:

0V P–2, P–4, P–82, P–84
+5V P–1 i P–83

Łączówki "Z" i "R" doprowadzają stabilizowane napięcia zasilające do plateru MJC oraz sygnały sterujące zasilaczy.
Doprowadzenie sygnałów i napięć do styków obydwu łączówek jest zrealizowane tak samo jak w zasilaczu, w sposób przedstawiony na rysunku 2.10.2.
Znaczenie poszczególnych sygnałów i ich rola w systemie opisana jest w opisie zasilacza ZLI–400 i ZLI–400P.



Rys. 2.10.2 Złącze wyjściowe ZLI-400 i ZLI-400P

2.10.2. Konstrukcja pakietów procesora

Procesor składa się z siedmiu pakietów. Pakiety o symbolach P–X, P–M, P–D, P–P, P–R, P–A są wykonane w jednakowym standardzie:

- laminat dwustronny
- wymiary 300x300 mm
- ilość styków 2x96
- łączówki krawędziowe
- strona lutowania pakietu oznaczona jest literą "A"
- strona montażu elementów oznaczona jest literą "B"
- napięcie zasilające OV – styki A–1, B–1, A–96, B–96
  +5V – styki A–2, B–2, A–95, B–95
- zasilanie na pakiecie rozprowadzone jest szynami metalowymi montowanymi pionowo
- na pakietach montowane są cyfrowe układy scalone małej i średniej skali integracji zrealizowane w technice TTL, oraz oporniki, kondensatory i diody.

Pakiety procesora z wyjątkiem pakietów P–D i SM–PK posiadają górną łączówkę o ilości styków 2x96 oznaczone na schematach ideowych literą "C" od strony lutowania i literą "D" od strony montażu elementów.
Na łączówki górne wyprowadzone są wybrane sygnały kontrolne, do których w procesie uruchamiania i serwisu może być podłączony specjalny wyświetlacz stanów logicznych procesora.
Układy scalone, oporniki, kondensatory i diody są ponumerowane i oznaczone na schematach ideowych i montażowych tak samo jak na pakiecie odpowiednio M,R,C,D.
Wyjścia i wejścia układów scalonych określa się podając symbol "M", numer mikroukładu, numer nóżki mikroukładu.
Np. M21–3 oznacza układ scalony nr 21, nóżka 3.
Na schematach ideowych przy każdym piórku wyjściowym podana jest nazwa sygnału.
W opisie pakietów uwzględnione są tylko zworki istotne dla pracy systemu MERA–400.
Wyjątek stanowi pakiet SM–POSE na którym miejsce układu scalonego określone jest dwoma współrzędnymi, cyfrową i literową .

2.10.3. Pakiet SM–PK

Pakiet SM–PK jest pakietem odbiegającym od standardów. Jest on montowany jako część składowa pulpitu technicznego.
Na pakiecie są montowane układy scalone, oporniki, diody, kondensatory i wszystkie elementy widoczne na pulpicie technicznym.

- 16 kluczy informacyjnych
- 11 kluczy funkcyjnych
- przełącznik wybierania rejestrów
- przełącznik stacyjki
- diody świecące
- głośnik
- łączówka pośrednia 84–stykowa łącząca pakiet bezpośrednio z platerem.

Na schemacie ideowym styki łączówki oznaczone są literą "W".
Napięcia zasilające doprowadzone są do pakietu w następujący sposób:

OV – W–02, W–04; W–84, W–83
+5V – W–01; W–83

Do ważniejszych układów logicznych zrealizowanych na tym pakiecie należy zaliczyć:

- układy generujące sygnały funkcyjne poszczególnych kluczy (Ark. 1 i 2)
- układ wybierania rejestrów (Ark.5)
- układ sterowania diodami wyświetlającymi stan szyny "W" i wskaźników sterowanych z innych pakietów (Ark.4)
- układ blokady kluczy (Ark. 2; M–11)
- układ sterowania głośnikiem (Ark. 5; M–10, M–9)
- układ zegara czasu rzeczywistego (Ark.3)

Zegar czasu rzeczywistego składa się z generatora kwarcowego o częstotliwości 1MHz (M–21) oraz dzielnika częstotliwości (M–24; M–23; M–26; M–27; M–28). Częstotliwość zgłaszania przerwań zegarowych jest ustawiana przez wmontowanie odpowiedniej zworki w polu zworek "a". Dla standardowego wykonania systemu przerwania zegarowego zgłaszane są co 10 ms. Przez odpowiednią zmianę połączeń w polu zworek "a" punktu 6 z punktami 1,2,3,4,5 przerwania mogą być zgłaszane następująco:

1 co 2 ms
2 co 4 ms
3 co 8 ms
4 co 10 ms
5 co 20 ms

Impulsy zegarowe są wytwarzane przez układ M–25 i po przejściu przez układ M–7 jako ujemne impulsy podane na piórko W–18, oznaczone "ZEGAR".

2.10.4. Pakiet sterowania P–X

Pakiet sterowania zawiera układy sterujące pracą jednostki centralnej. Na pakiecie znajdują się następujące układy:

- Przerzutniki stanów pętli podstawowej P–P
  M2, M4 Ark.1
- Przerzutniki stanów pętli kluczy PK
  M6 Ark. 1
- Przerzutniki stanów pętli wykonawczej PW
  M6, M7, M9 Ark. 1,2
- Przerzutnik stanów pętli obsługi przerwań OP
  M11, M21 Ark.2
- Układ pracy w reżimie MODE, STEP
  M21 Ark.4
- Układy realizujące sygnały STROB1 i STROB2
  M21, M17, M52, M61 Ark.4
- Układy mikrooperacji sterowania obsługą przerwań
  Ark. 2
- Układy sterowania szynami interfejsu

  • nadajniki sygnałów wiodących interfejsu

–DR	– czytaj z pamięci	A–87 M39–11	
–DW	– pisz do pamięci	A–39 M39–3	
–DS	– prześlij	A–88 M39–8	Ark. 6, 7
–DF	– pobierz	B–92 M39–6	
–DIN	– przerwanie	A–91 M27–3	

- nadajniki mikrooperacji

– IC AD	– podaj zawartość rejestru IC na szyny AD interfejsu B–87; M26–6
– AR AD	– podaj zawartość rejestru AR na szyny AD interfejsu B–83; M26–8
– BAR NB	– podaj zawartość rejestru NB na szyny ND interfejsu A–75; M26–3
– W DT	– podaj zawartość szyny W na szyny DT interfejsu A–81; M26–11

- nadajniki szyn adresowych DAD–9; DAD–10; DAD–11; M38 wysterowujące adres komórki 97 przy odczycie wskaźnika stosu

- nadajniki szyn adresowych DAD–12; DAD–13; DAD–14; DAD–15; M1 które są wysterowywane w przypadku dekodowania rozkazów grupy F/D + NRF przy nie zainstalowanym module MAZ–400

– Układ zgłoszeń do interfejsu
M47 i M42 Ark. 8

– Układ alarmu działający w przypadku braku odpowiedzi z interfejsu przy odwołaniach do pamięci operacyjnej w bloku systemowym i błędu parzystości pamięci w bloku systemowym
M66 Ark.9

– Układy zgłaszania przerwań – brak pamięci operacyjnej M65–8, błąd parzystości M33–6 Ark.9

– Układ realizujący operację klucza STOP*N– M–66 Ark.9

Na pakiecie znajdują się trzy zwory:

– zwora E–F między B–9 i M65–4 (sygnał –EFP) Ark. 8 jest zakładana w przypadku braku modułu MAZ–400

– zwora KL i MN między A–89 i M65–5; M56–9 (sygnał –ROK) Ark. 8.

Przy więcej niż jednym pakiecie interfejsu w systemie należy dokonać połączenia: K zwarte z L i M zwarte z N;
K rozwarte z N przy jednym pakiecie interfejsu; K zwarte z N, N zwarte z M

– zwora A B C pomiędzy M59–4 i M40–12 Ark. 7
Zwora jest zakładana w zależności od systemu operacyjnego przy B rozwartym z A i A zwartym z C powoduje włączenie blokady zapisu do komórek pamięci O÷256; przy B zwartym z A i A rozwartym z C blokada jest wyłączona.

W górnej części pakietu znajduje się siedem potencjometrów 5K regulujących czasy uniwibratorów SN74123 lub ich odpowiedników Arkusz 3,4.
Wartość czasów poszczególnych uniwibratorów zależy od zastosowanych elementów w procesorze i ma wpływ na szybkość wykonywania rozkazów.

2.10.5. Pakiet P–M

Pakiet P–M jest pakietem, na którym realizowane są funkcje decyzyjne wykonania:

– rozkazu
– obsługi przerwania
– operacji kluczy pulpitu

Decyzja o wykonaniu rozkazu, obsługi przerwania i przejścia przez fazy końca i początku cyklu jest podejmowana w zależności od stanu przerzutników:

START	M–60	Ark. 1
WAIT	M–60	Ark. 1
CYKL	M–61	Ark. 1
PR (pobranie rozkazu)	M–74	Ark. 2
Przerwanie	M–74	Ark. 2

Czasy faz końca i początku cyklu są ustawione potencjometrami regulującymi czasy uniwibratorów SN74123 (lub ich odpowiedników) i oznaczonymi na schemacie KC i PC M90 Ark. 2.
Potencjometry zamontowane są w górnej części pakietu i ich ustawienie zależy od zastosowanych elementów w procesorze.
Pakiet realizuje funkcje przygotowujące stany pętli podstawowej PP

EP1	B90	M104–11	Ark. 7
EP2	B91	M104–8	Ark. 7
EP3	B89	M104–3	Ark. 7
EP4	B92	M101–6	Ark. 7
EP5	B93	M100–3	Ark. 7

Na podstawie stanu przerzutników:

STORE	M92	Ark. 3
FETCH	M92	Ark. 3
LOAD	M91	Ark. 3
BIN	M91	Ark. 3

procesor przechodzi do wykonania operacji kluczy pulpitu technicznego.

Funkcje przygotowujące przejścia pomiędzy stanami pętli kluczy są realizowane przez elementy:

EK1	M2–8	Ark. 4
EK2	M17–6	Ark. 4

Na pakiecie zrealizowane są następujące wskaźniki i liczniki

– wskaźnik przeskoku oznaczony "P" – M61 Ark. 5
– wskaźnik rozkazu dwusłowowego WMI oznaczony na schemacie WM M88 Ark. 6
– wskaźnik Pre–modyfikacji WPI oznaczony na schemacie WP M87 Ark. 6
– licznik modyfikacji MC M93 Ark. 5
– licznik kroków LK M96 Ark. 11
– licznik grupowy LG M79 i M63 Ark. 9

Wykaz ważniejszych mikrooperacji i sygnałów sterujących:

– sygnały sterujące pracą rejestrów uniwersalnych R0 ÷ R7

RA	B–59;	M5–8	Ark. 10
RB	B–49;	M19–8	Ark. 10
RC	A–37;	M34–8	Ark. 10

– sygnały sterujące szyną W

MWA A–88; M41–8 Ark. 18
MWB A–77; M40–8 Ark. 18
MWC B–80; M39–6 Ark. 18
BWB B–69; M22–6 Ark. 17
BWA B–68; M37–3 Ark. 17

– sygnały sterujące szyną KI

KIA A–45; M80–6 Ark. 17
KIB B–29; M30–3 Ark. 17

– sygnały sterujące szyną A

AA A–74; M39–8 Ark. 16
AB A–73; M24–12 Ark. 16
BAA B–67; M37–6 Ark. 16
BAB A–71; M22–12 Ark. 16
BAC A–66; M37–8 Ark. 16

– mikrooperacja dodaj jeden do rejestru adresów AR

ARP1 B30 M45–6 Ark. 9

– mikrooperacja zapisu szyny W
do rejestru AR

W ↑ AR B54 M84–8 Ark. 14

do rejestru masek RM (poz. 0 ÷ 9 rejestr SR)

W ↑ RM B75 M54–8 Ark. 15

do rejestru numeru bloku pamięci NB

W ↑ BAR B76 M70–8 Ark. 15

do licznika rozkazów IC

W ↑ IC B79 M24–6 Ark. 14

do rejestru AC

W ↑ AC A54 M36–11 Ark. 14

do rejestrów R0 ÷ R7

W ↑ R A67 M22–8 Ark. 13

do rejestru rozkazów IR

W ↑ IR B58 M38–8 Ark. 17

2.10.6. Pakiet P–D

Układ dekodera M81, M80, M79 Ark. 2 służy do dekodowania rozkazów znajdujących się w rejestrze IR (M12, M57, M42, M41, Ark. 1).

Na podstawie rozkazów oraz stanów procesora wykonywane są następujące funkcje:

– określenie efektywności rozkazu M14, M17 Ark. 4

– przejścia stanów pętli wykonawczej PW

EWA	A55	M35–8	Ark. 9
EWP	A56	M48–8	Ark. 9
EWE	A54	M22–8	Ark. 9
EW&	A50	M21–8	Ark. 10
EWZ	A49	M7–8	Ark. 10
EWR	A51	M34–8	Ark. 12
EWM	A48	M62–8	Ark. 12
EWW	A41	M19–8	Ark. 12
EWX	A43	M45–8	Ark. 13

– przejścia do zakończenia cyklu rozkazowego

EKC*1	A42	M32–8	Ark. 10
EKC*2	A40	M5–8	Ark. 13

– sterowanie sumatora

+ARYT	A68	M65–6	Ark. 7
–SAA	A72	M26–6	Ark. 7
–SAB	A73	M26–8	Ark. 7
–SCA	A71	M39–12	Ark. 7
–SCB	A82	M39–6	Ark. 7
–SB	A74	M48–8	Ark. 7
–SD	A69	M24–3	Ark. 7
–P16	A36	M18–8	Ark. 11

– ustawienie wskaźników w rejestrze RO

UST * LEG	B93	M69–3	Ark. 8
UST * V	A8	M78–6	Ark. 8
UST * Z	B49	M6–8	Ark. 8
UST * Y	A53	M8–8	Ark. 8
UST * X	A47	M62–11	Ark. 8

na drodze sygnału IN, OU wchodzącego na wejście układu M27–1 znajduje się zwora oznaczona 1,2,3 decydująca o legalności rozkazów wejścia/wyjścia (IN, OU).
Dla połączenia 1 zwarte z 3 i 3 rozwarte z 2 rozkazy są nielegalne.
Dla połączenia 1 rozwarte z 3 i 3 zwarte z 2 rozkazy te są legalne. W wykonaniu standardowym rozkazy są legalne.

2.10.7. Pakiet P–P

Pakiet układu przerwań przyjmuje wszystkie zgłoszone w systemie MERA–400 przerwania.

Na pakiecie zrealizowane są rejestry i układy:

– rejestr masek (poz. 0÷9 rejestr SR) Ark. 1, 2

– 32 pozycyjny rejestr zgłoszeń RZ Ark. 3, 4, 5, 6, 7, 8, 9, 10

– 32 pozycyjny rejestr przyjęć RP Ark. 3,4,5,6,7,8,9,10

– dekoder 16–tu zgłoszeń przerwań kanałowych M27 Ark. 11, przyjmowanych z interfejsu M15 Ark. 11

– nadajniki szyn adresowych interfejsu, które są wysterowywane przy odczytywaniu adresów podprogramów obsługi przerwań i przy pobieraniu specyfikacji przerwań z kanałów, M19, M18, M17 Ark. 13

– sterowanie wskaźnikiem IRQ B8, M88–8 Ark. 11

– układy ustalające priorytet obsługi przerwań

2.10.8. Pakiet P–R

Pakiet rejestrów zawiera rejestry uniwersalne RO÷R7, rejestr bloku pamięci, rejestr wczytywania binarnego RB, wskaźnik Q i BS.
Rejestry R1 do R7 zrealizowane są na układach

M56; M47; M36; M24 Ark. 2, 3, 4, 5

R4 do R7

M57, M48, M37, M25 Ark. 2, 3, 4, 5

Do wyjść rejestrów R1 do R7 z otwartym kolektorem dołączone są układy typu SN7403 lub ich odpowiedniki dołączające wyjście rejestru RO tworząc szynę L.

Rejestr RO zrealizowany jest na układach

M59 wskaźniki Z i M Ark. 8
M39 wskaźniki C i V Ark. 8
M50 wskaźniki L i E Ark. 9
M27 wskaźniki G i Y Ark. 9
M16 wskaźnik X Ark. 9
M42 i M30 pozostałe pozycje Ark. 6

Rejestr numeru bloku pamięci oznaczony na schemacie jako BAR M31 Ark. 6, oraz wskaźniki systemowe Q i BS M34 Ark. 7 są pozycjami od 10 do 15 rejestru SR.

Do ważniejszych układów zrealizowanych na tym pakiecie należy zaliczyć:

– rejestr wczytywania binarnego RB – M19, M8, M18 Ark. 6

– nadajniki numeru bloku pamięci DNB0, DNB1, DNB2, DNB3, M34 Ark. 6

– nadajnik wskaźnika Q

sygnał DQB, B86 M23–6 Ark. 7

– nadajnik numeru procesora

sygnał DPN, B87 M23–8 Ark. 7

– nadajnik sygnału ZGPN B88 M35–11 Ark. 7

– szyna KI 16–pozycyjna cztero argumentowa

Sygnały wyjściowe szyny oznaczone są od KIO do KI15

Na pakiecie znajdują się dwie zwory:

1) zwora oznaczona C–D na drodze sygnału USTRO ★ FP, A11 Ark. 7 ma łączyć punkty C i D w przypadku gdy nie jest zainstalowany moduł MAZ–400. Przy zainstalowanym module MAZ–400 zwora ma być rozłączona,

2) zwora oznaczona 7 8 9 z wejść układów M35–12 i M35–10 Ark. 7 określa numer procesora istotny w przypadku pracy dwuprocesorowej

dla procesora "0" – 7 zwarte z 8; 8 rozwarte z 9

dla procesora "1" – 7 rozwarte z 8; 8 zwarte z 9

W systemach seryjnych procesory mają nr 0.

2.10.9. Pakiet P–A

Na pakiecie P–A zrealizowane są następujące rejestry i układy:

– sumator M28, M30, M33, M35, M31 Ark. 5, 6

– układ wyznaczania zera sumatora M42 Ark. 8

– rejestr wynikowy sumatora AT M27, M29, M34, M36 Ark. 7

– rejestr AC M52, M61, M76 Ark. 8

– pozycja "1" rejestru AC M32 Ark. 8

– pozycja "1" sumatora M8–8 Ark. 8

– wskaźnik zera sumatora WZI B60 M32–8 Ark. 8

– rejestr adresowy AR M53, M68, M59, M75 Ark. 9
rozbudowany o układ M62 umożliwiający zwiększenie zawartości rejestru o "1" i zmniejszenie o "4"

– licznik rozkazów IC M54, M69, M60, M74 Ark.10

– nadajniki wysterowujące zawartość rejestru AR na szyny adresowe interfejsu DAD; nadajniki są sterowane z układu M50–6 i M50–4 Ark. 14

– nadajniki wysterowujące zawartość rejestru IC na szyny adresowe interfejsu DAD; nadajniki są sterowane z układu M50–10 i M50–8 Ark. 13

– układ wykrywania zgodności adresu przy wykonywaniu operacji STOP ★ N M67, M82, M78 Ark. 13, 14

– szyna W ośmioargumentowa

Wyjścia szyny W oznaczone są na schemacie od WO do W15; argumenty szyny W są przedstawione na schemacie blokowym procesora (rys. 2.9.1)

– szyna A czteroargumentowa

Wyjścia szyny A oznaczone są na schemacie od AO do A15; argumenty szyny A są przedstawione na schemacie blokowym procesora (rys. 2.9.1)

– nadajniki wysterowujące szyny danych interfejsu D–DT; nadajniki sterowane są z układu M28–10, M28–12 Ark. 1.

3. INTERFEJS SYSTEMU MERA–400

3.1. Przeznaczenie

Interfejs jest zespołem reguł i środków technicznych umożliwiających komunikację między poszczególnymi modułami funkcjonalnymi systemu. Pod pojęciem modułu funkcjonalnego rozumiemy wyodrębniony z punktu widzenia realizowanych funkcji zespół typu pamięci operacyjnej, procesora i kanału. Możliwości adresacji systemu MERA–400dopuszczają połączenie na interfejsie 2 procesorów,16 kanałów i16 modułów pamięci operacyjnej. Przykładowa, maksymalna konfiguracja jest przedstawiona na rys. 3.1.1.

Kanał znakowy jest programowym kanałem przesyłającym dane pomiędzy procesorami i jednostkami sterującymi urządzeniami znakowymi. Szybkość transmisji przez kanał nie przekracza 20 tys. znaków na sekundę.

Kanał pamięciowy realizuje współpracę pamięci zewnętrznych z pamięcią operacyjną i procesorami. Kanał prowadzi transmisję w sposób selektorowy blokami o długości nieprzekraczającej $(2^{16}-1)$ słów.

Interfejs umożliwia dołączenie kanałów specjalizowanych, np. takich jak kanał automatyki sprzęgający minikomputer z systemem automatyki PI. Asynchroniczny sposób przeprowadzania transmisji na interfejsie nie narzuca ograniczeń na czas cyklu i dostępu do podłączonych pamięci operacyjnych, jak również pozwala na podłączenie modułów (kanałów) o różnych szybkościach transmisji.

3.2. Opis funkcjonalny

Interfejs minikomputera MERA–400 składa się z centralnej szyny informacyjnej i układu rezerwacji szyny.

Sterowanie szyny informacyjnej odbywa się poprzez układ rezerwacji szyny i jest rozdzielone pomiędzy poszczególne moduły nadawcze systemu, tj. kanały i procesory.

Każde wykorzystanie interfejsu będziemy nazywać transmisją interfejsu.

W danej chwili z szynami informacyjnymi może współpracować tylko jeden moduł nadawczy i jeden moduł odbiorczy.

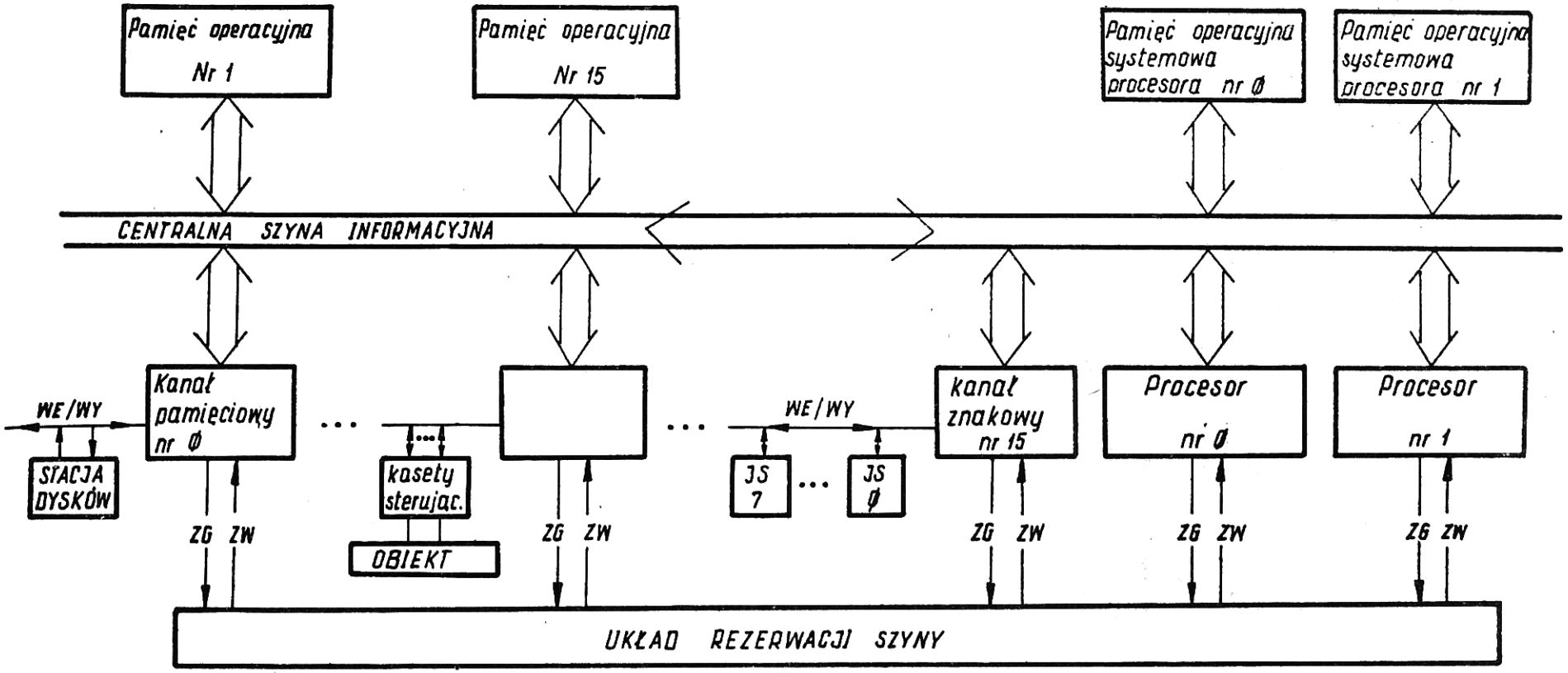
Moduł nadawczy uzyskuje dostęp do szyny po wysłaniu do układu rezerwacji sygnału zgłoszenia i uzyskaniu zwrotnego sygnału zezwolenia. Zgłoszony moduł uzyskuje sygnał zezwolenia pod warunkiem, że szyna informacyjna jest wolna i żaden moduł o wyższym priorytecie nie żąda dostępu do szyny.

3.2.1. Zasady transmisji

Każda transmisja poprzedzona jest rezerwacją.
Rezerwacja dokonywana jest za pośrednictwem układów rezerwacji, umieszczonych na pakiecie interfejsu. Pakiet zawiera układy rezerwacji dla 4 modułów.

Komunikacja między modułem a jego układem rezerwacji odbywa się za pomocą sygnałów: sygnału zgłoszenia oraz sygnału zezwolenia. Sygnał zgłoszenia przesyłany jest w konwencji dodatniej i oznaczony jest ZG1, ZG2, ZG3, ZG4 z tym, że indeks 1 odpowiada modułowi o najwyższym, a indeks 4 – modułowi o najniższym priorytecie. Sygnał zezwolenia dostępny jest w dwóch konwencjach: dodatniej – oznaczenia ZW1, ZW2, ZW3, ZW4 oraz ujemnej – oznaczenia –ZW1, –ZW2, –ZW3, –ZW4 z tym, że indeksy odpowiadają indeksom w oznaczeniach sygnału zgłoszenia.

Sygnał zgłoszenia przyjmuje wartość "1" od momentu zgłoszenia przez moduł chęci rezerwacji aż do momentu zakończenia transmisji. Po zakończeniu każdej transmisji sygnał zgłoszenia przyjmuje wartość "0" na czas co najmniej 30 ns i zdejmowany jest sygnał zezwolenia.



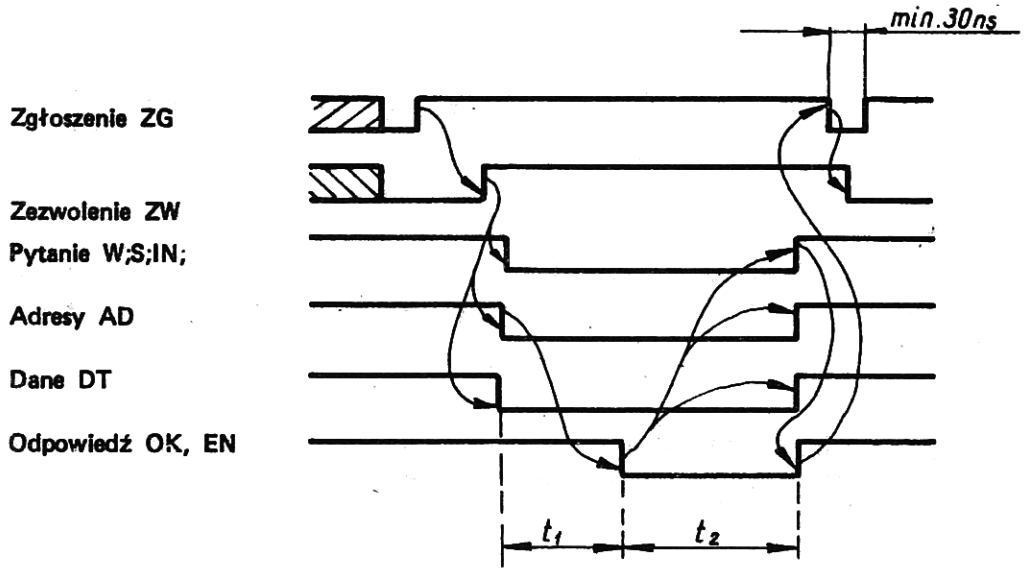
Rys. 3.1.1. Przykładowa maksymalna konfiguracja systemu MERA-400

Transmisja może być prowadzona jedynie wtedy, gdy podany jest sygnał zezwolenia, czyli jest dokonana rezerwacja.

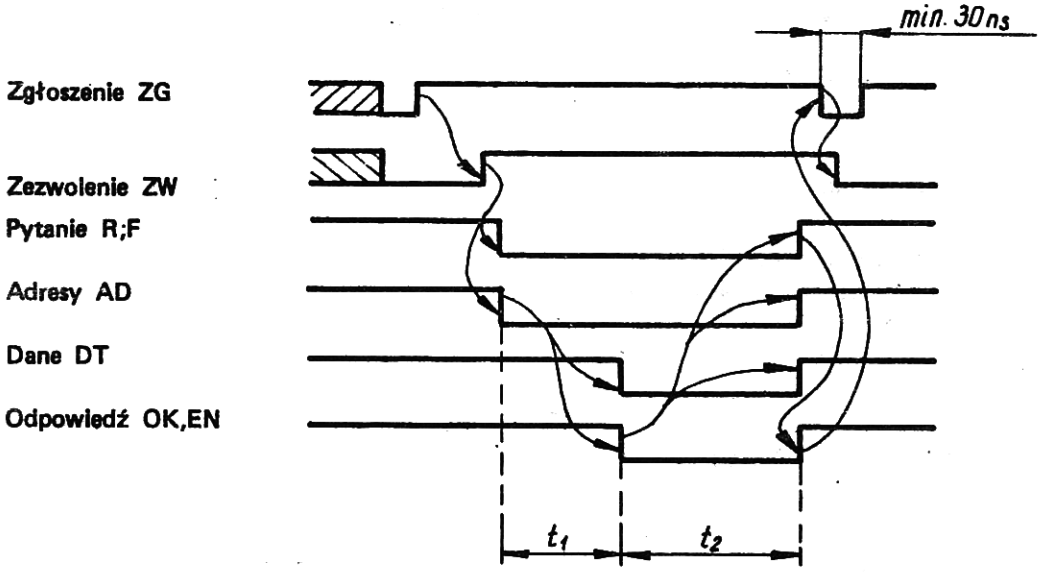
Po dokonaniu rezerwacji moduł wysyła "pytanie" – jeden z sygnałów R, W, S, F, IN. Jeżeli pytanie jest prawidłowe, to adresat przesyła "odpowiedź", czyli sygnały OK, EN.

Zależności czasowe występujące podczas transmisji pokazane zostały na rys. 3.2.1. Wysyłanie odpowiedzi następuje dopiero po wykorzystaniu informacji zawartej w pytaniu (czas t_1). Od momentu wysłania aż do jej zakończenia (czas t_2) nie można korzystać z żadnych sygnałów pytania oprócz sygnału wiodącego pytania (jeden z sygnałów W, R, F, S, IN). Zakończenie sygnału wiodącego pytania powoduje natychmiastowe zakończenie odpowiedzi. Pytanie może zostać zakończone dopiero po całkowitym wykorzystaniu odpowiedzi. Po zakończeniu pytania nie można korzystać z żadnych sygnałów odpowiedzi oprócz sygnału wiodącego odpowiedzi (jeden z sygnałów OK, EN), którego zanik zwalnia interfejs. Wszystkie sygnały pytania są rozpoczynane jednocześnie i kończone jednocześnie.

W przypadku nie otrzymania odpowiedzi w czasie 2,5 ÷5 μs transmisja jest kończona w trybie awaryjnym, tzn. moduł zdejmuje sygnał zgłoszenia zwalniając interfejs.



Harmonogram czasowy transmisji, w której moduł nadający pytanie wysyła dane DT.



Harmonogram czasowy transmisji, w której moduł nadający pytanie odbiera dane DT.

t_1 – czas konieczny do wykorzystania danych i adresów przez moduł odbierający pytanie.

t_2 – czas przesłania odpowiedzi i jej wykorzystania przez moduł nadający pytanie.

Rys. 3.2.1.

3.2.2. Sygnały awaryjne

Sygnały awaryjne są wysyłane przy awarii zasilania lub zasilaczy i zapewniają poprawną pracę systemu podczas awarii. Sygnał zerowania ogólnego CL jest wysyłany przez moduł MJC–400 po naciśnięciu klucza CLEAR na pulpicie operatora lub rozkazem MCL.

Alarm zasilania PA

Alarm zasilania przesyłany jest jako sygnał oznaczony PA w postaci impulsu o czasie trwania od 300 do 1000 ns. Nadawcą sygnału PA jest zasilacz, odbiorcą procesor. Zasilacz, który zasila procesor nie wysyła sygnału PA do interfejsu.

Zerowanie ogólne CL

Zerowanie ogólne przesyłane jest jako stałoprądowy sygnał oznaczony CL. Nadawcą sygnału CL może być procesor, który wysyła sygnał –DM–CL, lub pulpit techniczny, który wysyła sygnał –DCL. Odbiorcami sygnału CL są wszystkie pozostałe moduły.

Zerowanie lokalne CLM; OFF

Zerowanie lokalne przesyłane jest jako stałoprądowy sygnał oznaczony –OFF. Nadawcą sygnału jest zasilacz, odbiorcami – zasilane z tego zasilacza: pakiet interfejsu i moduły, które otrzymują przetworzony sygnał –OFF oznaczony –CLM. Sygnał ten nie jest przesyłany między szafami i nie występuje w kablach łączących szafy. Sygnały zerowania lokalnego wysyłane są przy spełnieniu dwu warunków:

a) zasilacz zgłosił alarm zasilania PA,
b) został wysłany sygnał ZOFF będący sumą sygnałów "pytań" i "odpowiedzi" interfejsu oraz sygnału "Wait" dla modułu MJC–400.

Zależności czasowe sygnałów awaryjnych podane są w opisie zasilacza ZLI–400.

3.2.3. Zapis do pamięci operacyjnej – WRITE

Nadawca: procesor, kanał

Odbiorca: pamięć operacyjna

Pytanie: W
NB – nr bloku pamięci
PN – nr procesora (istotne, gdy NB=0)
AD – adres
DT – informacja

Odpowiedź: OK

3.2.4. Odczyt z pamięci operacyjnej – READ

Nadawca: procesor, kanał

Odbiorca: pamięć operacyjna

Pytanie: R
NB – nr bloku pamięci
PN – nr procesora (istotne gdy NB=0)
AD – adres

Odpowiedź: OK
DT – informacja
oraz PE – gdy błąd parzystości

3.2.5. Przesłanie – SEND

Nadawca: procesor

Odbiorca: kanał, pamięć operacyjna

Pytanie: S

PN	– nr procesora
NB	– nr bloku pamięci (istotne gdy QB=1)
QB	– wskaźnik systemu
AD0 ÷AD7	– kod operacji
AD15	– rodzaj adresata: 0 – kanał, 1 – pamięć
AD11 ÷AD14	– nr kanału (gdy AD15=0)
AD8 ÷AD10	– nr urządzenia w kanale (gdy 8 urządzeń)
DT	– informacja

Odpowiedź: OK
albo EN – gdy adresat zajęty

Kody podstawowych operacji przesłania

a) operacje dotyczące kanału

Lp.	Kod operacji AD0–AD2 AD3–AD4	Treść	Odpowiedź
1.	0 0 0 0 0	Sprawdź istnienie kanału	OK
2.	0 0 0 0 1	Blokuj przerwanie do procesora o nr PN	OK
3.	0 0 0 1 0	Blokuj przerwanie do procesora o nr $\overline{PN}$	OK
4.	0 0 0 1 1	Przydziel urządzenie procesorowi o nr PN: RAL_i:=PN i – nr urządzenia RAL_i – pozycja "i" rejestru allokacji w kanale	

Uwaga: rozkaz dotyczy kanału znakowego i kanału pamięciowego.

b) operacje dotyczące urządzenia

Lp.	Kod operacji AD0–AD2	Treść	Odpowiedź
1.	0 0 1		
2.	0 1 0	Steruj urządzenie – operacja indywidualna dla urządzenia	OK
3.	0 1 1		
4.	1 0 0	ZERUJ urządzenie	
5.	1 0 1	ODŁĄCZ	OK,EN
6.	1 1 0	PISZ / TRANSMISJA	OK,EN
7.	1 1 1	Steruj urządzenie – operacja indywidualna dla urządzenia	

3.2.6. Pobranie – FETCH

Nadawca: procesor

Odbiorca: kanał

Pytanie: F

	PN	– nr procesora
	NB	– nr bloku pamięci (istotne gdy QB = 1)
	QB	– wskaźnik systemu
	AD0 ÷ AD7	– kod operacji; szczególny przypadek 00001000 – pobranie specyfikacji przerwania
	AD15	– 0
	AD11 ÷ AD14	– nr kanału
	AD8 ÷ AD10	– nr urządzenia w kanale (gdy 8 urządzeń)

Odpowiedź: OK

	DT	– informacja
	PE	– gdy błąd
albo	EN	– gdy adresat zajęty

Kody podstawowych operacji pobrania

a) operacje dotyczące kanału

LP.	Kod operacji AD0–AD2 AD3–AD4	Treść	Odpowiedź
1.	0 0 0 0 0	Sprawdź istnienie kanału	OK
2.	0 0 0 0 1	Podaj specyfikację przerwania (patrz pkt 3.2.7) Kanał przesyła: DT/0 ÷7/ – specyfikacja DT/8 ÷10/ – nr urządzenia	OK
3.	0 0 0 1 0	Podaj stan kanału	OK
4.	0 0 0 1 1	Podaj stan rejestru allokacji (RAL) DT/0 ÷7/ = RAL	
		Uwaga: rozkaz dotyczy kanału znakowego i pamięciowego.	

b) operacje dotyczące urządzenia

Lp.	Kod operacji AD0–AD2	Treść	Odpowiedź
1.	1 0 0	Sprawdź istnienie jednostki sterującej Uwaga: rozkaz nie zmienia stanu jednostki sterującej i urządzenia	OK
2.	1 0 1	CZYTAJ R/A//:=informacja z urządzenia	OK,EN

UWAGI:

1) Kanały analizują tylko bity rozkazu AD0 ÷ AD4, a pozostałe pozycje nie są wykorzystywane, bądź wykorzystywane w sposób indywidualny.
2) Urządzenia, które pracują pod kontrolą systemu operacyjnego nie odpowiadają na rozkazy wysyłane przy QB=1.
3) Urządzenia nie odpowiadają na rozkazy o nieprawidłowym kodzie.

3.2.7. Pobranie specyfikacji przerwania – FETCH

Nadawca: procesor

Odbiorca: kanał

Pytanie: F

PN	– nr procesora
NB	– niewykorzystane
QB	= 0
AD0 ÷ AD7	= 00001000
AD15	= 0
AD11 ÷ AD14	– nr kanału
AD8 ÷ AD10	– niewykorzystane

Odpowiedź: OK

DT0 ÷ DT7	– specyfikacja
DT8 ÷ DT15	– nr urządzenia

Wysłanie "pytania" F przy pobieraniu specyfikacji jest realizowane automatycznie przez moduł MJC–400 w trakcie obsługi przerwania z kanału.

3.2.8. Przerwanie – INTERRUPT

Nadawca: kanał, procesor

Odbiorca: procesor

Pytanie: IN

PN	– nr procesora nadającego, gdy nadawcą jest procesor lub nr procesora odbierającego, gdy nadawcą jest kanał
DT15	– rodzaj nadawcy: 0 – kanał, 1 – procesor
DT11 ÷ DT14	– nr kanału
DT0	– rodzaj przerwania, gdy nadawcą jest procesor: 0 – wysoki priorytet, 1 – niski priorytet

Odpowiedź: OK

3.2.9. Lista sygnałów interfejsu

Lp.	Oznaczenia			Indeks	UWAGI
	W kablu interfejsu	na wejściu pakietu interfejsu	na wyjściu pakietu interfejsu		
1	PA	–DPA	–RPA	–	alarm zasilania
2	CL	–DCL –DM–CL	–RCL	–	sygnał CL może być wysyłany do pakietu z dwóch źródeł
3	–	–OFF	–	–	nie jest przesyłany między szafami
4	W	–DW	–RW	–	sygnały wiodące pytania
5	R	–DR	–RR	–	
6	S	–DS	–RS	–	
7	F	–DF	–RF	–	
8	IN	–DIN	–RIN	–	
9	OK	–DOK	–ROK	–	sygnały wiodące odpowiedzi
10	EN	–DEN	–REN	–	
11	PE	–DPE	–RPE	–	sygnał błędu parzystości
12	QB	–DQB	–RQB	–	wskaźnik systemu
13	PN	–DPN	–RPN	–	numer procesora
14–17	NB	–DNB	–RNB	0 ÷ 3	numer bloku pamięci
18–33	AD	–DAD	–RAD	0 ÷ 15	szyny adresowe
34–49	DT	–DDT	–RDT	0 ÷ 15	szyny informacyjne
50	BU	–	–	–	połączenia układów rezerwacji
51	PR	–	–		
52–54	–	ZG	–	1 ÷ 4	sygnały oznaczają zgłoszenia chęci zajęcia szyny przez moduł określony indeksem (konwencja dodatnia)
55–57	–	–	ZW; –ZW	1 ÷ 4	sygnały oznaczają zezwolenia na zajęcie szyny dla modułu określonego indeksem. Dostępne są jednocześnie w dwóch konwencjach – – dodatniej i ujemnej
58–60	–	–ZZ	–	1 ÷ 4	sygnały oznaczają, że moduł oznaczony indeksem jest zainstalowany w systemie.

Wszystkie sygnały są określone w konwencji ujemnej, tzn. "0" V dla jedynki logicznej i +5 V dla zera logicznego, wyjątek stanowią sygnały dotyczące układu rezerwacji i są opisane w rubryce "uwagi".

3.3. Zasady odbierania i nadawania sygnałów

Przy odbiorze sygnałów interfejsu musi być uwzględniony wpływ różnic czasów przebiegu sygnałów w poszczególnych liniach. Różnice te generują fałszywe adresy wszędzie tam, gdzie dekodowane są równoległe sygnały a więc przy "pytaniu" każdej transmisji. Ponieważ fałszywe adresy generowane są zarówno na początku jak i na końcu "pytania" to opóźnienie sygnału wiodącego nie wystarcza dla zabezpieczenia się przed nim. Przy odbiorze "odpowiedzi nie dekoduje się adresu i wobec tego nie występują fałszywe adresy. Jednak w przypadku, gdy odpowiedź zawiera dane, konieczne jest opóźnienie sygnału wiodącego. Układy zabezpieczające przed przyjęciem fałszywego adresu w pytaniu jak również danych są realizowane u odbiorców "pytań" i "odpowiedzi". Wszystkie sygnały odbierane przez moduły z interfejsu (z wyjątkiem sygnałów układu rezerwacji) są sterowane z pakietu interfejsu układem z rozwartym kolektorem typu 7407. Każdy moduł odbiera sygnał nadawany z interfejsu, obciążając go jednym wejściem bramki spolaryzowanym opornikiem 1k do +5 V. Sygnały te oznaczone są wyróżnikiem "R" i tworzą szynę sygnałów odbieranych z interfejsu (Arkusze schematu od 3 do 7). Sygnały zezwolenia ZW (Ark. 1 i 2) odbierane przez moduł są sterowane z układów typu 74H11 i 74H10 i są dostępne w dwu konwencjach. Wszystkie sygnały nadawane przez moduły do interfejsu (z wyjątkiem sygnałów układu rezerwacji) są sterowane z układów z otwartym kolektorem.
Sygnały nadawane przez moduły są połączone i na pakiecie interfejsu są odbierane przez jeden funktor elementu 74H04, którego wejście jest spolaryzowane opornikiem 332 Ω do +5 V.
Sygnały te są oznaczone wyróżnikiem "D" i tworzą szynę sygnałów nadawanych do interfejsu (Arkusz 3 do 7).
Sygnały zgłoszenia ZG są nadawane przez moduły w konwencji dodatniej i na pakiecie interfejsu są odbierane przez jedno wejście układu typu 74H10 połączone z wyjściem układu 7406 (Ark. 1, 2). Warunkiem przyjęcia zgłoszenia jest zwarcie sygnału ZZ do "0" V gdy moduł jest zainstalowany w szufladzie. Gdy moduł jest nie zainstalowany sygnał jest rozwierany aby nie blokować układu rezerwacji. Realizacja polega na połączeniu jednego styku w module do "0" V i odpowiedniego połączenia na platerze do sygnału ZZ interfejsu. Sygnały przekazywane do innych szuflad sterowane są przez dwa zwarte wyjścia układu typu 7438 spolaryzowane są dzielnikiem oporowym 169 i 402.
Rys. 3.3.1. przedstawia budowę szyny informacyjnej na przykładzie bitu DT4 dla trzech szuflad.

3.4. Opis budowy interfejsu

Interfejs systemu MERA–400 składa się z następujących elementów:

- pakiety
- kable
- terminatory

3.4.1. Pakiety I–SK; I–SP

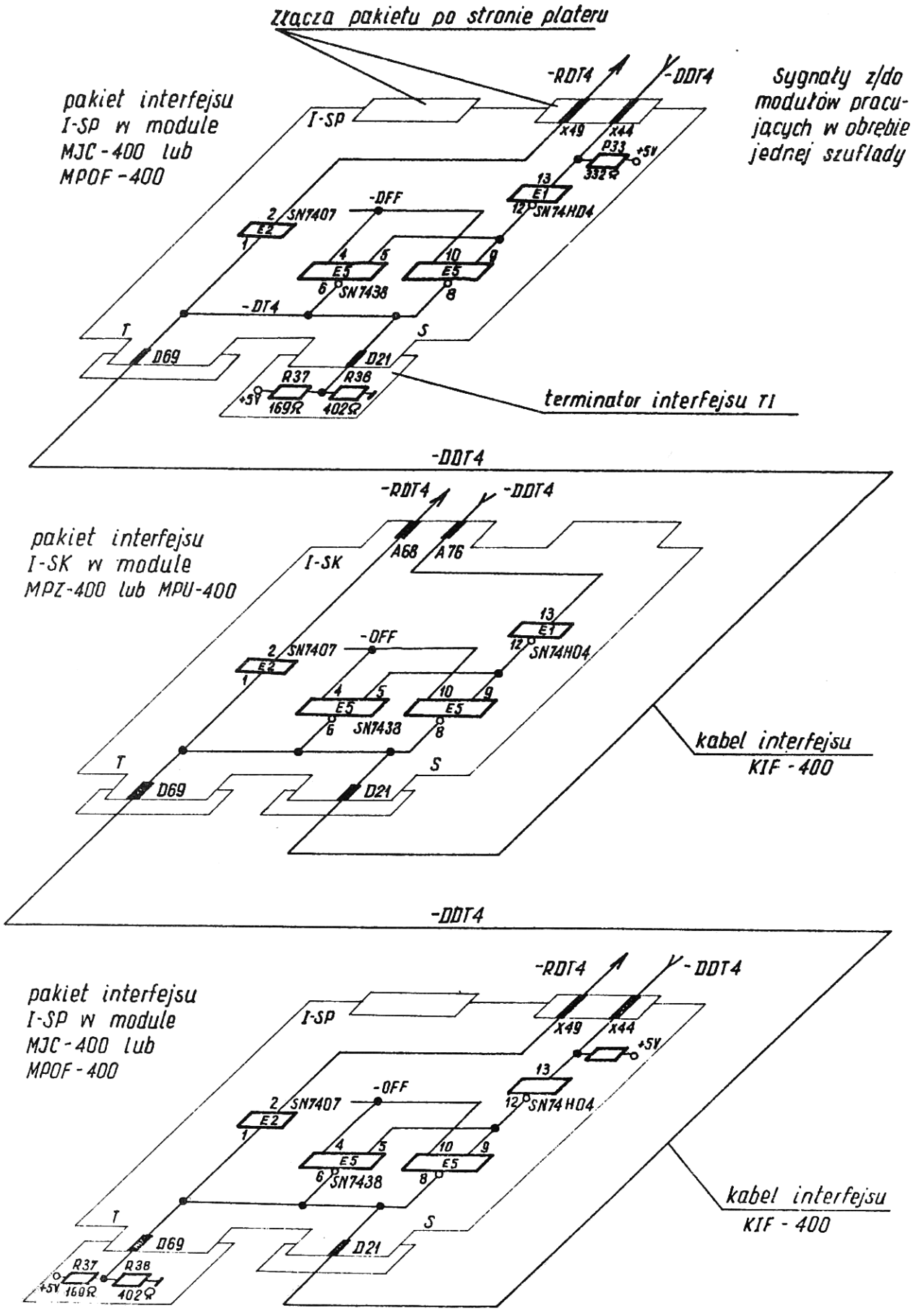
W systemie MERA–400 występują dwa typy pakietów oznaczone symbolami I–SK i I–SP. Pakiety mają ten sam schemat ideowy oznaczony symbolem I–SK. Konstrukcyjnie pakiety różnią się tylko typem łączówki od strony plateru. Pakiet I–SK ma łączówkę krawędziową, pakiet I–SP ma łączówkę pośrednią.

Na schemacie ideowym przy opisie styków pakietów od strony plateru podane są dwa oznaczenia, oznaczenia wpisane w symbol styku dotyczą pakietu I–SK; oznaczenia podane w nawiasie ponad symbolem styku dotyczą pakietu I–SP.

Złącza górne obydwu pakietów są krawędziowe o ilości styków 2x96. Sygnały są przyporządkowane stykom i oznaczone w ten sam sposób dla obydwu pakietów, symbol "C" po stronie lutowania (strona A), symbol "D" po stronie elementów (strona B). Dodatkowo łączówki górne pakietów mają oznaczenia S i T. Styki stron C i D od 1 do 48 są oznaczone jako "S" od 49 do 96 jako "T".

Na pakietach montowane są układy scalone, oporniki, kondensatory, tranzystory.

Zasilanie elementów na pakiecie jest rozdzielone. Zasilacz zrealizowany na pakiecie (Ark.6) zasila wszystkie elementy układu rezerwacji i terminatory, pozostałe elementy zasilane są z zasilacza szuflady.
Układ zasilacza na pakiecie jest zasilany z napięcia +15 V, które jest wyprowadzane z każdego zasilacza szuflady przez diodę.



Rys. 3.3.1 Budowa szyny informacyjnej w systemie MERA-400 (na przykładzie bitu DT4)

3.4.2. Kabel interfejsu KIF

Szuflady łączone są za pomocą jednego typu kabla interfejsu KIF–400.

Kabel zakończony jest złączami typu krawędziowego oznaczonymi "S" i "T". Wszystkie sygnały w kablu są prowadzone dwuskrętką, jednym przewodem prowadzony jest sygnał znaczący, drugi przewód jest połączony do "0" V. Przewody w kablu są pogrupowane i połączone zgodnie z tabelą połączeń tomu IV DTR zamieszczoną w części 7 (Kabel interfejsu KIF–400). W kablu są wykonane połączenia ustalające zasady priorytetu zgłoszeń do interfejsu.

3.4.3. Terminator TI

W skład systemu wchodzą dwa terminatory TI, które stanowią zakończenie linii interfejsu. W terminatorze zrealizowany jest dzielnik oporowy polaryzujący nadajniki sygnałów umieszczone na pakietach interfejsu. Przykład polaryzowania jednej linii interfejsu i parametry dzielnika oporowego przedstawia rys. 3.3.1. W terminatorze wykonane są połączenia ustalające zasady priorytetu zgłoszeń do interfejsu.

3.4.4. Zasilanie interfejsu

Zasilanie układów interfejsu jest podzielone w celu zapewnienia poprawnej pracy interfejsu przy awarii zasilacza w szufladach. Układy rezerwacji i terminatory zasilane są z zasilaczy zrealizowanych na pakietach interfejsu. Do zasilaczy zrealizowanych na pakiecie jest doprowadzane przez diodę napięcie +15 V z wszystkich zasilaczy w systemie.
W przypadku awarii zasilacza w szufladzie układ zasilacza będzie zasilany napięciem +15 V poprowadzonym kablem interfejsu z innych szuflad. Na Rys. 3.4.1. przedstawiony jest sposób prowadzenia zasilania układu rezerwacji i terminatorów dla systemu złożonego z trzech szuflad.

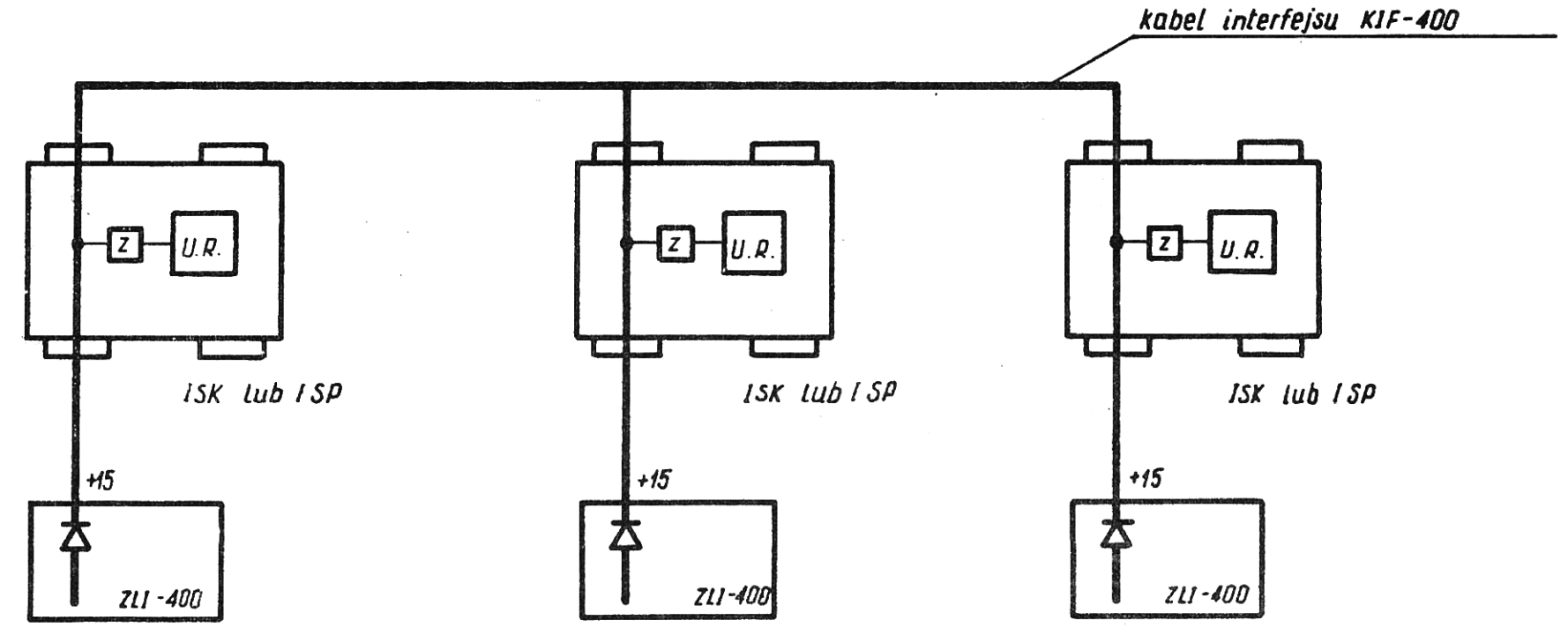
Do pakietów interfejsu zasilanie jest doprowadzone w następujący sposób:

– pakiet I–SK

+5 V A02; B02, A95, B95
+15 V A30; B30
0 V A01; B01, A96, B96

– pakiet I–SP

+5 V X01; X03; Y81, Y83
+15 V X83, X84
0 V X02; X04; Y82; Y84



UR - układ rezerwacji
Z - zasilacz na pakiecie interfejsu

Rys. 3.4.1. Sposób prowadzenia zasilania układów rezerwacji i terminatorów

3.4.5. Działanie układu rezerwacji

Rezerwacja szyny informacyjnej dokonywana jest za pośrednictwem układów rezerwacji umieszczonych na pakietach interfejsu.

Schemat układu rezerwacji przykładowego modułu o indeksie 2 przedstawia rysunek 3.4.2. Przyjęto zasadę, wg której indeks 1 odpowiada modułowi o najwyższym priorytecie w danej szafie. Układy rezerwacji poszczególnych modułów komunikują się ze sobą za pośrednictwem dwóch sygnałów: sygnału zajętości (BU) i sygnału pozwolenia (PR). Gdy żaden z modułów nie korzysta z szyny informacyjnej, linie BU i PR są w stanie nieaktywnym.

Zgłoszenie przez przykładowy moduł 2 chęci rezerwacji szyny, tj. wysterowanie linii ZG2 powoduje pojawienie się stanu zera logicznego na wyjściu Q przerzutnika P2, wysterowanie linii BU (na wyjściu układu M1) do poziomu wysokiego oraz zablokowanie linii PR dla układów o niższym priorytecie.

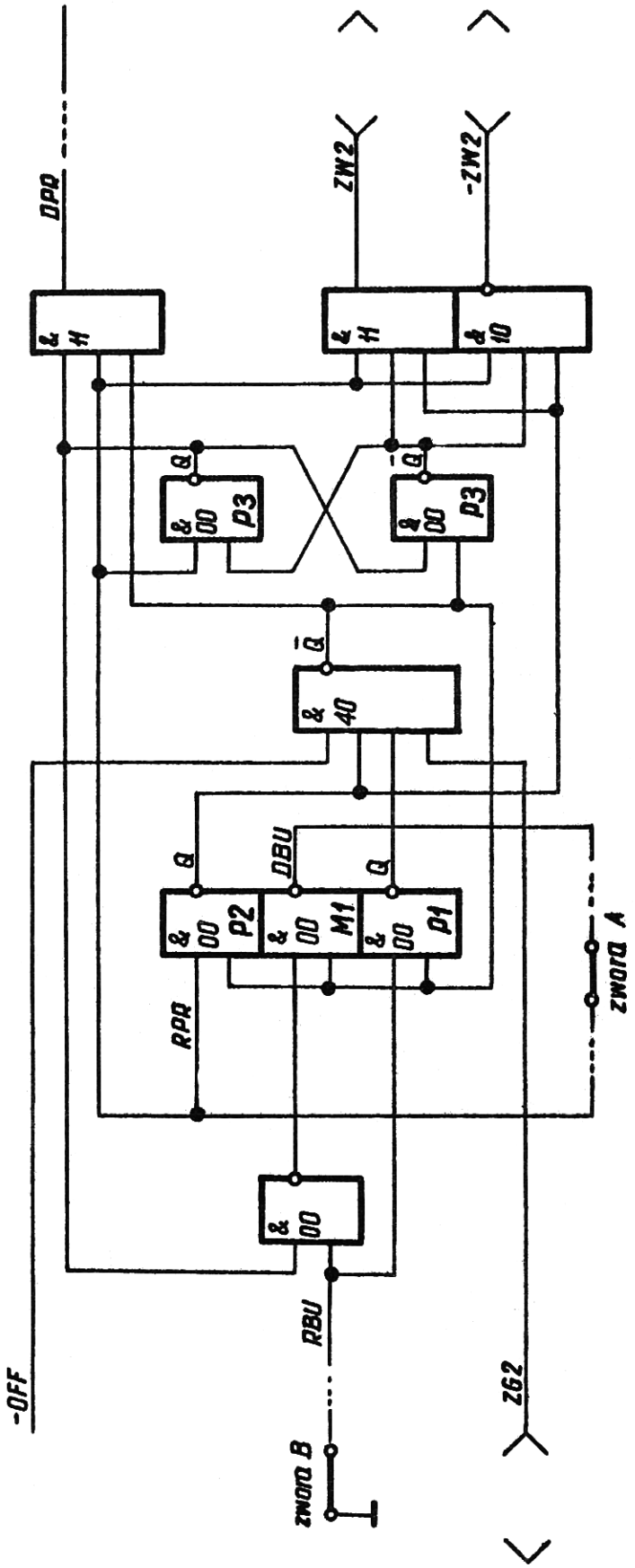
Sygnał BU pochodzący od zgłoszonego modułu propaguje się następnie przez układy rezerwacji wszystkich modułów o wyższym priorytecie wchodzącychw skład systemu.

Znajdująca się w sensie logicznym na pakiecie interfejsu zwora A, łącząca linie BU i PR umożliwia wysterowanie przez sygnał BU linii PR.

Stan aktywny na linii PR przenosi się teraz przez kolejne układy w kierunku malejącego priorytetu. Po dojściu do zgłoszonego modułu sygnał PR powoduje wysterowanie linii ZW i –ZW oraz pojawienie się stanu zera logicznego na wyjściu Q przerzutnika P3, blokującego linie BU i PR dla układów rezerwacji o niższym priorytecie.
W czasie propagacji sygnałów BU i PR przez układy rezerwacji o wyższym priorytecie przyporządkowane tym układom moduły mogą również zgłaszać chęć rezerwacji szyny.
W takim przypadku zezwolenie na dostęp do szyny uzyska moduł, który wysterował linię ZG wcześniej niż linia PR w jego układzie rezerwacji przeszła w stan aktywny.

Po zakończeniu transmisji moduł przestaje wysterowywać linię zgłoszenia (ZG), co powoduje w odpowiadającym mu układzie rezerwacji ustawienie przerzutnika P2 w stan "0". W rezultacie linie ZW, –ZW i BU przechodzą w stan nieaktywny. Stan zera logicznego na linii BU propaguje się następnie przez wszystkie układy o wyższym priorytecie, analogicznie jak w przypadku stanu aktywnego. Przejście linii PR w rozważanym układzie w stan nieaktywny powoduje ustawienie tego układu w stan początkowy.
W czasie dzielącym pojawienie się zera na zworze A od przejścia rozważanego układu rezerwacji w stan początkowy linia BU może zostać ponownie wysterowana przez moduł o najwyższym priorytecie spośród modułów oczekujących w kolejce na dostęp do szyny, a mających priorytet wyższy niż moduł dotychczas korzystający z szyny. Jeżeli przypadek taki nie wystąpił, przejście rozważanego układu rezerwacji w stan początkowy umożliwia wysterowanie linii BU przez moduł o najwyższym priorytecie spośród modułów oczekujących w kolejce na dostęp do szyny, a mających priorytet niższy od modułu dotychczas korzystającego z szyny.

Przerzutnik P1 uniemożliwia zablokowanie linii PR dla modułów o niższym priorytecie przez moduł ostatnio korzystający z szyny, o ile w trakcie prowadzonej przez niego transmisji zgłosiły się moduły o niższym priorytecie, zaś moduł rozważany ponownie zgłasza chęć zajęcia szyny.
Nie wyklucza to możliwości przejęcia dostępu do szyny przez jakikolwiek moduł o priorytecie wyższym od rozważanego modułu i oczekujący w kolejce na dostęp.


DPQ
ZW2
-ZW2
& 11
& 11
& 10
Q
-Q
& 00 P3
& 00 P3
-Q
& 40
Q
DBU
Q
& 00 P2
& 00 M1
& 00 P1
RPQ
ZWORA A
& 00
RBU
-OFF
Z62
ZWORA B

Rys. 3.4.2.

Dla konfiguracji złożonej tylko z modułu MJC–400 na górne łączówki pakietu należy założyć dwa terminatory TI. Priorytety zgłoszeń zmieniają się zgodnie z zasadą, że zgłoszeniu ZG4 odpowiada najniższy priorytet a zgłoszeniu ZG1 najwyższy. Przy konfiguracjach złożonych z więcej niż jednej szuflady należy zawsze zakładać kable interfejsu zgodnie z oznaczeniami, tzn. zakończenie "T" kabla na łączówkę górną pakietu również oznaczoną literą "T" (jest to łączówka od strony pulpitu szuflady), zakończenie "S" na łączówkę "S" pakietu interfejsu.

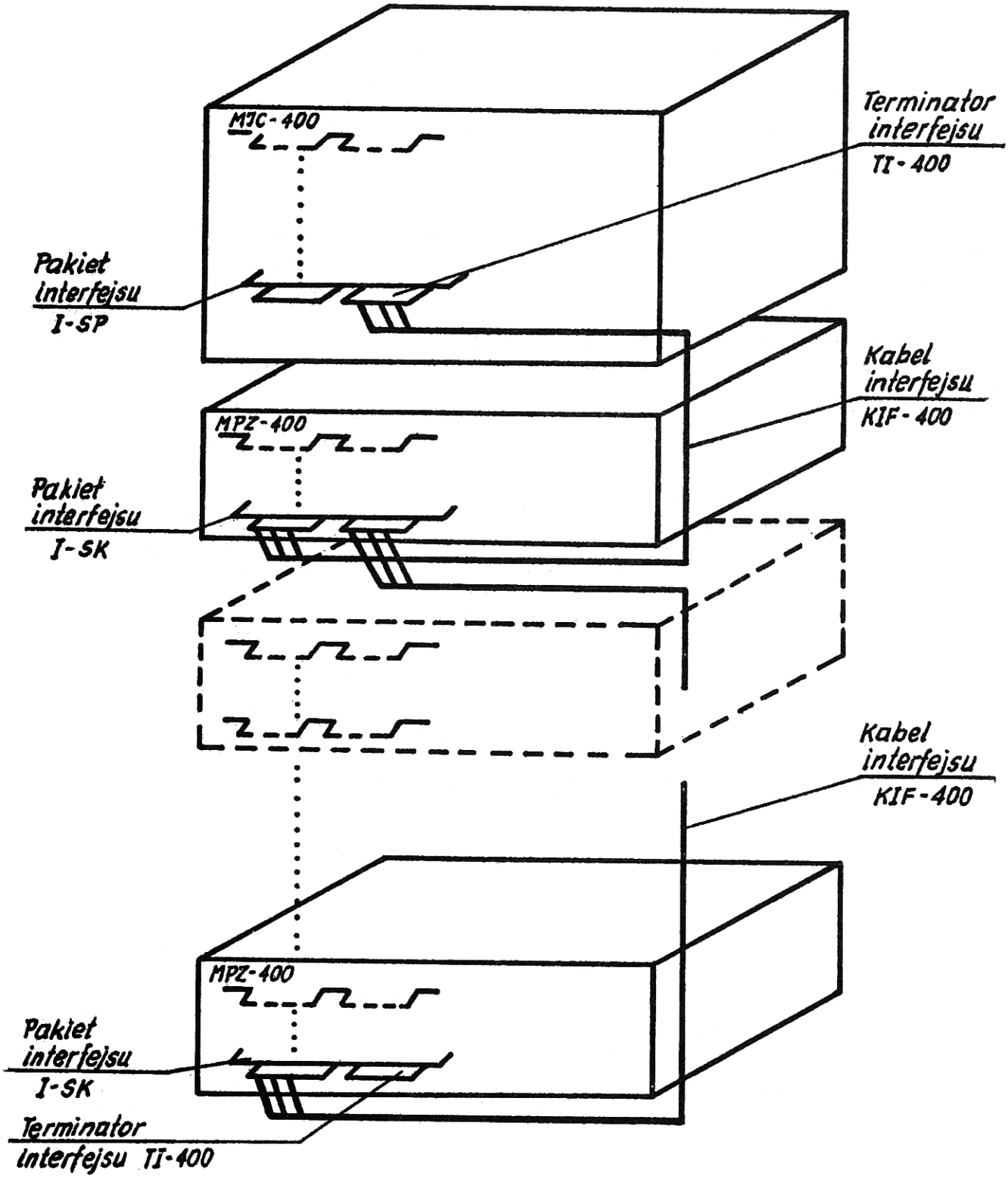
Rysunek 3.5.1. przedstawia przykład połączeń interfejsu systemu MERA–400.

Priorytet zgłoszeń do interfejsu jest najwyższy dla modułów szuflady, w której terminator TI jest założony na łączówce "T" pakietu interfejsu i zmniejsza się w kolejności łączenia szuflad kablami interfejsu. Najniższy priorytet mają moduły, w których terminator TI jest założony na łączówce "S" pakietu.

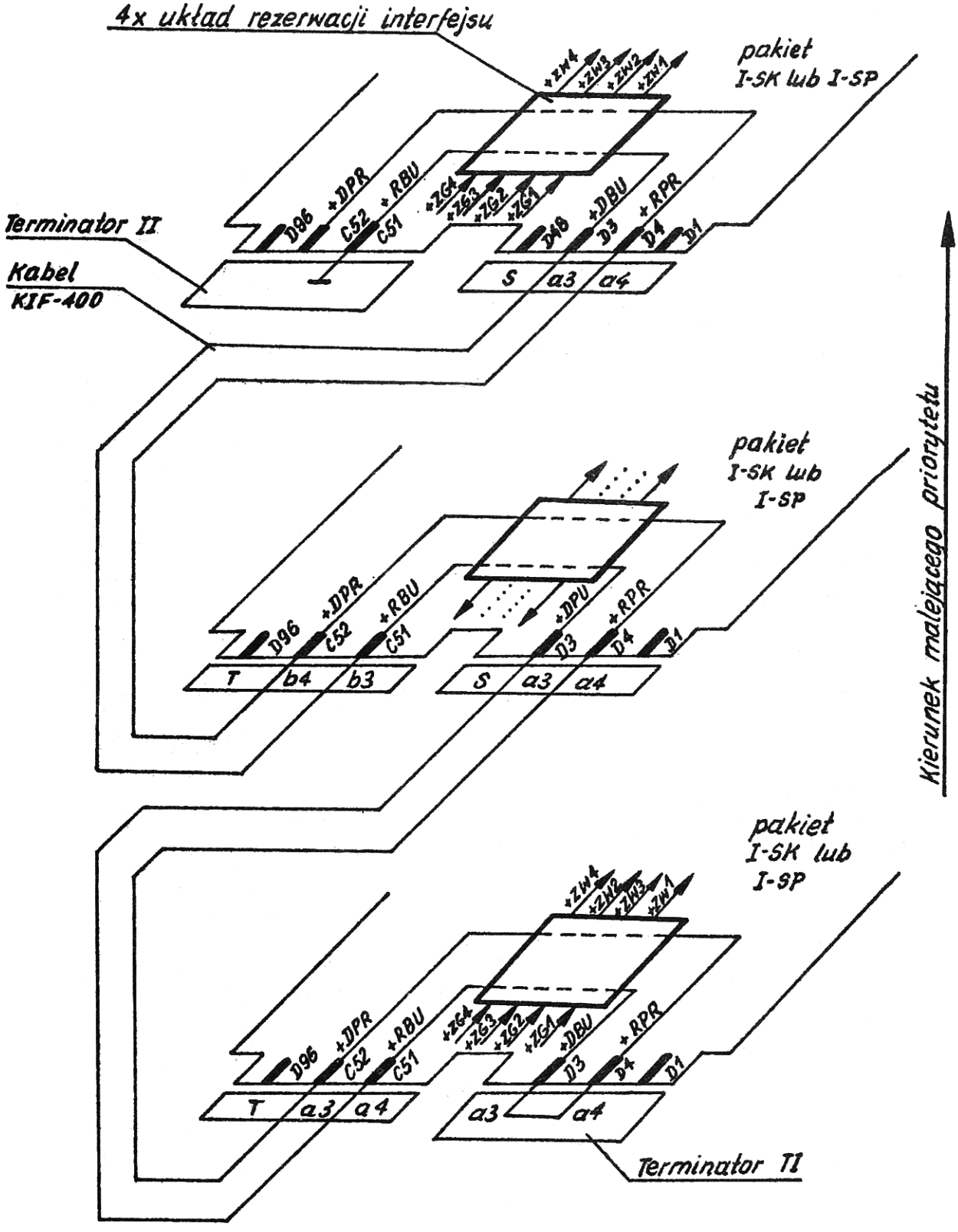
Rysunek 3.5.2. przedstawia kierunek wzrostu priorytetu dla łączenia trzech pakietów interfejsu.

Zmiana kierunku priorytetu wymagy tylko zmiany połączeń kabli i terminatorów w których konstrukcja zapewnia odpowiednie łączenie sygnałów układów rezerwacji.

W standardowych zestawach ustala się najwyższe priorytety dla kanałów, najniższy dla procesora.



Rys. 3.5.1. Przykład połączeń interfejsu systemu MERA-400



Rys. 3.5.2. Budowa szyny rezerwacji interfejsu systemu MERA - 400

4. PAMIĘĆ OPERACYJNA FERRYTOWA

4.1. Opis funkcjonalny

Pamięć operacyjna systemu MERA–400 przeznaczona jest do zapamiętywania danych i programów. Zgodnie z zasadami współpracy na interfejsie między modułami z pamięcią współpracują procesory i kanały. Do interfejsu minikomputera MERA–400 może być dołączonych 16 modułów pamięci o pojemności 32k słów 16–bitowych dla systemu jednoprocesorowego. W przypadku systemu dwuprocesorowego może być dołączony obszar pamięci o pojemności 8k słów. Określenie adresu słowa w pamięci polega na określeniu dwu współrzędnych, numeru bloku i adresu słowa w bloku. Bloki pamięci organizowane są programowo i pojemność ich jest zawsze wielokrotnością 4k słów. Budowa modułów pamięci umożliwia tworzenie bloków o pojemności do 64k słów. Ze względu na sposób wyznaczania argumentu bajtowego przez procesory w systemie MERA–400 standardowo organizuje się bloki do 32k słów. Bloki organizowane są rozkazem "OU" kierowanym do pamięci operacyjnej.

4.1.1. Schemat blokowy pamięci

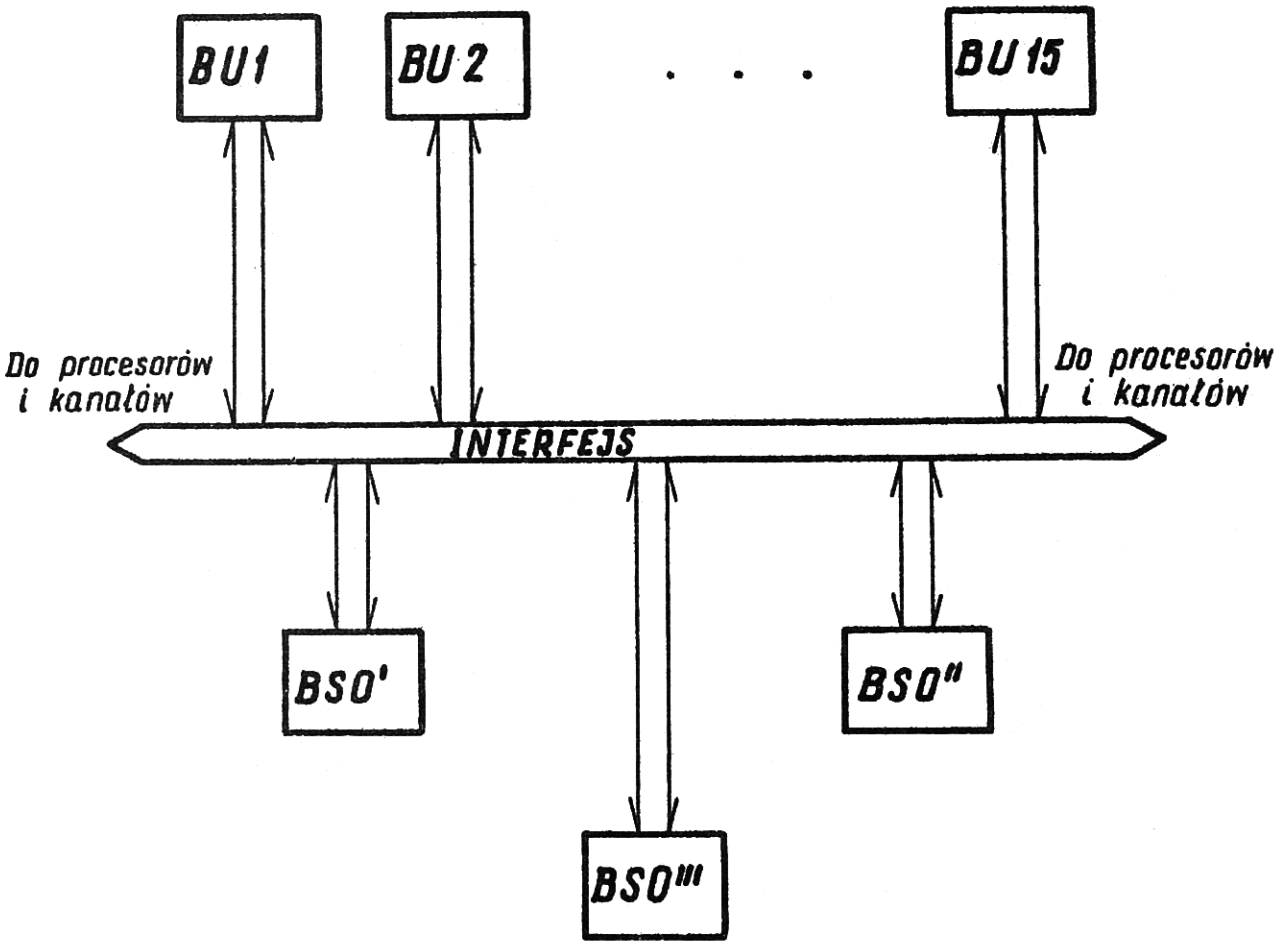
Organizacja pamięci umożliwia utworzenie 16 bloków pamięci ponumerowanych od 0 do 15 (rys.1.1.1.). Blok o numerze "0" określony jest jako blok systemowy. Bloki o numerach różnych od zera określone są jako bloki użytkowe. Na wyżej wymienionym rysunku symbol BU oznacza bloki użytkowe. Symbol BS oznacza bloki systemowe. Pojemność bloków pamięci nie jest związana z liczbą i pojemnością modułów pamięci z wyjątkiem bloków systemowych BSO' i BSO". Bloki te są związane z modułem MJC–400 i nie są wspólne dla obydwu procesorów tak jak pozostałe bloki. Nie podlegają one również programowemu podziałowi pamięci. Każdy z bloków BSO' i BSO" może mieć pojemność 4k lub 8k. Blok BSO"może być uzupełnieniem bloku systemowego do 32k, jest on wspólny dla obydwu procesów i jest tworzony programowo tak samo jak bloki użytkowe BU.

4.1.2. Dostęp do bloków pamięci

Wszystkie moduły systemu współpracujące z pamięcią operacyjną mają dostęp do bloków pamięci (tzn. mogą przeprowadzać operację zapisu i odczytu) dopiero po programowym zorganizowaniu pamięci. Nie dotyczy to bloków systemowych BSO' i BSO", do których jest dostęp dla procesorów przy zgaszonym wskaźniku Q. Oznacza to, że procesor w ramach "związanego" z nim bloku systemowego może wykonywać rozkazy i operacje pulpitu operatora bez względu na stan systemu. Po dokonaniu programowego podziału pamięci dostęp do bloków użytkowych jest możliwy po wysterowaniu przez współpracujący z pamięcią moduł numeru bloku i adresu w bloku. Dla modułu MJC–400 numer bloku wysterowany jest z rejestru numeru bloku NB (poz. 12 ÷15 rejestru SR) przy zapalonym wskaźniku Q (poz. 10 rejestru SR), adres w bloku wysterowany jest wg zawartości rejestru adresowego AR.

4.1.3. Programowy podział pamięci

W modułach pamięci o pojemności 32k słów każdy, organizowane są na drodze programowej bloki pamięci o pojemności od 4k do 32k z przyrostem co 4k. Każdemu modułowi jest nadawany numer (za pomocą zworki na pakiecie SM–POSE) wg którego następuje wybranie modułu przy programowym organizowaniu pamięci.
W ramach każdego modułu zrealizowanych jest osiem segmentów po 4k, którym programowo przydziela się numer bloku i adres w bloku, zapamiętywane w rejestrze adresu logicznego segmentu.



Rys. 1.1.1. Schemat blokowy pamięci operacyjnej w systemie MERA 400

Programowy podział pamięci dokonywany jest rozkazem OU.
Na podstawie drugiego argumentu tego rozkazu jest określone:

a) skierowanie rozkazu OU do pamięci operacyjnej,
b) wybór modułu pamięci wg jego numeru,
c) wybór rejestru adresu logicznego.

Na podstawie pierwszego argumentu przydziela się numer bloku i adres w bloku i zapisuje w rejestrze adresu logicznego, który wybierany jest drugim argumentem. Numer bloku i adres w bloku określony jest jako adres logiczny. Ponieważ segment ma zawsze obszar 4k słów przy dokonywaniu podziału programowego wpisuje się tylko cztery najstarsze pozycje adresu w bloku.
W pierwszym argumencie rozkazu OU, który określa adres logiczny, na pozycjach od 0 do 3 określona jest starsza część adresu w bloku, na pozycjach od 12 do 15 określa się numer bloku. Pozostałe pozycje pierwszego argumentu są ignorowane. Adres logiczny segmentu wpisywany jest do rejestru adresu logicznego, który jest wybrany drugim argumentem rozkazu OU.
Poszczególne pozycje drugiego argumentu N zawierają:

$N_{15} = 1$ – oznacza, że rozkaz OU skierowany jest do modułu pamięci

$N_{11 \div 14}$ – numer modułu, do którego skierowany jest rozkaz

$N_{8 \div 10}$ – numer rejestru adresu logicznego

Przyjęcie rozkazu OU potwierdzone jest przez moduł pamięci odpowiedzią OK na podstawie zawartości drugiego argumentu. Rozkaz nie jest potwierdzony odpowiedzią dla $N_{15} = 0$ i nieistniejącego numeru modułu pamięci.
W module MJC–400 moduł pamięci 32k ma pierwsze dwa segmenty zaadresowane na stałe za pomocą zworek przewidziane do pracy systemu operacyjnego.
Rozkazy OU wysyłane do pierwszych dwu rejestrów adresu logicznego nie są potwierdzone odpowiedzią OK.

4.1.4. Operacje zapisu i odczytu

Operacje zapisu i odczytu są realizowane po dokonaniu programowego zorganizowania pamięci. Na rysunku 1.4.1. przedstawiono sposób adresacji modułu pamięci. Przy każdej operacji wysterowany jest numer bloku NB w którym ma być wykonana i adres bloku AD. Zgodnie ze schematem blokowym przy wykonywaniu operacji numer bloku NB i starsza część adresu w bloku AD0÷AD3 jest porównywana z zawartością rejestru adresu logicznego. Na podstawie porównania określony jest jeden z ośmiu segmentów 4k, w którym jest wykonywana operacja wg adresu określonego przez AD4÷AD15. Przyjęcie operacji zapisu i odczytu jest potwierdzone odpowiedzią OK. W przypadku braku odpowiedzi przy odwołaniach procesora, w procesorze zgłaszane jest przerwanie braku pamięci. Na brak odpowiedzi procesor reaguje w zależności czy brak odpowiedzi nastąpił przy wykonywaniu operacji w bloku systemowym czy użytkowym. Dla bloków użytkowych zgłaszane jest przerwanie (poz. 2 rejestru RZ), zaś dla bloku systemowego procesor zgłasza przerwanie i przechodzi w stan stop sygnalizowany na pulpicie operatora wskaźnikiem "Alarm". Podczas zapisu słowa generowany jest bit parzystości i zapamiętywany jako 17 pozycja z każdym słowem. Podczas odczytywania słowa badana jest parzystość i w przypadku wystąpienia błędu zgłaszane jest przerwanie "Błąd parzystości" (poz. 1 rejestru RZ). Przy wystąpieniu błędu parzystości, przy odwołaniach procesora dla bloku użytkowego zgłaszane jest przerwanie, dla bloku systemowego zgłaszane jest przerwanie i procesor przechodzi w stan stop sygnalizowany na pulpicie operatora wskaźnikiem "Alarm".

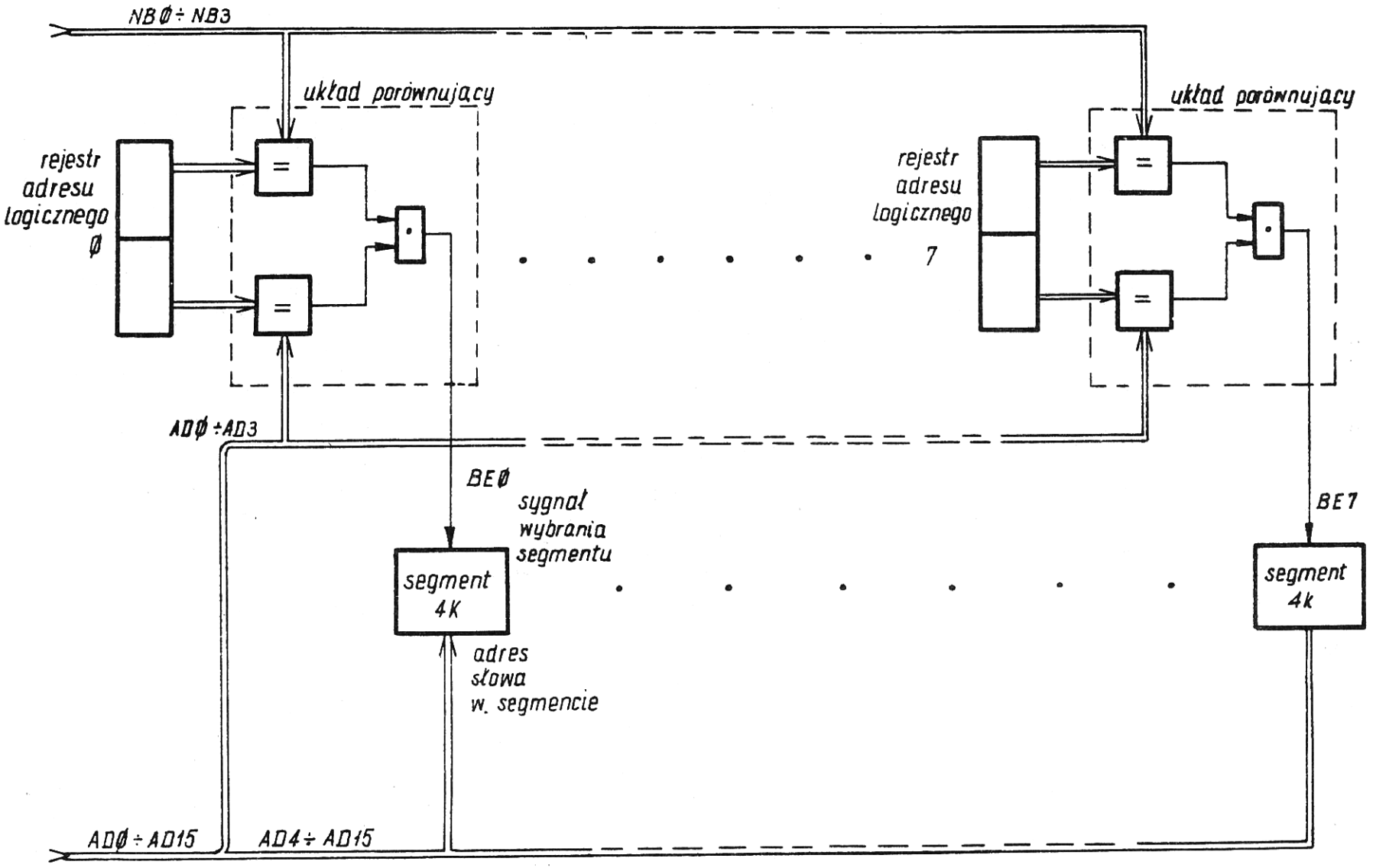
4.2. Budowa i działanie modułu pamięci

4.2.1. Rozwiązanie konstrukcyjne

W systemie MERA–400 występują dwa rodzaje modułów pamięci każdy o pojemności 32k słów:

– moduł pamięci wchodzący w skład modułu MJC–400

– moduł MPOF–400 jako niezależna szuflada służąca do rozbudowy pamięci operacyjnej.



Rys. 1.4.1 Sposób adresacji modułu

Z punktu widzenia konstrukcji mechanicznej moduły są takie same z tym, że moduł pamięci wchodzący w skład modułu MJC–400 jest mechanicznie w sposób nierozłączny powiązany z procesorem i innymi elementami, tworząc moduł MJC–400.
W skład każdego modułu pamięci wchodzą następujące elementy:

– pakiet interfejsu ISP

– pakiet sterowania pamięcią SM–POSE

– cztery pakiety FJP

– zasilacz ZLI–400

Szczegółowe rozmieszczenie elementów składowych jest podane w opisie budowy procesora (patrz pkt 2.10.1).
Funkcjonalnie moduł pamięci w MJC–400 różni się od modułów MPOF–400 zarezerwowaniem dwu pierwszych segmentów na blok systemowy o pojemności 8k (bloki BSO' i BSO''), który nie podlega programowemu podziałowi pamięci.
Na pakiecie sterowania SM–POSE są układy zapewniające realizację zasad programowego podziału pamięci i dostępu do pamięci.
Cztery pakiety FJP zapewniają pojemność 32k każdego modułu.
Zasilácz ZLI–400 zasila moduły pamięci, a automatyka zasilacza zapewnia przechowanie informacji przy zanikach zasilania.

4.2.2. Realizacja programowego podziału pamięci.

Pakiet interfejsu ISP realizuje zgodnie z zasadami współpracy na interfejsie komunikację pomiędzy blokami pamięci utworzonymi w module pamięci i pozostałymi modułami systemu.
Rozkaz OU wysterowuje na interfejsie "pytanie" SEND oraz zawartość pierwszego i drugiego argumentu. Zawartość argumentu pierwszego jest wysterowana na szynach DT interfejsu, zawartość argumentu drugiego jest wysterowana na szynach AD. W module pamięci wysterowane szyny interfejsu są odbierane przez pakiet sterowania SM–POSE jako sygnały RS, RDT i RAD. Oznacza to, że sygnały RDT0 do RDT3 i RDT12 do RDT15 przekazują do modułu pamięci adres logiczny. Na podstawie sygnałów RAD11 do RAD14 wybierany jest moduł pamięci, natomiast na podstawie sygnałów RAD8 do RAD10 wybierany jest jeden z ośmiu rejestrów adresu logicznego.
RAD15 = 1 (OU) oznacza, że pytanie SEND jest skierowane do modułu pamięci.

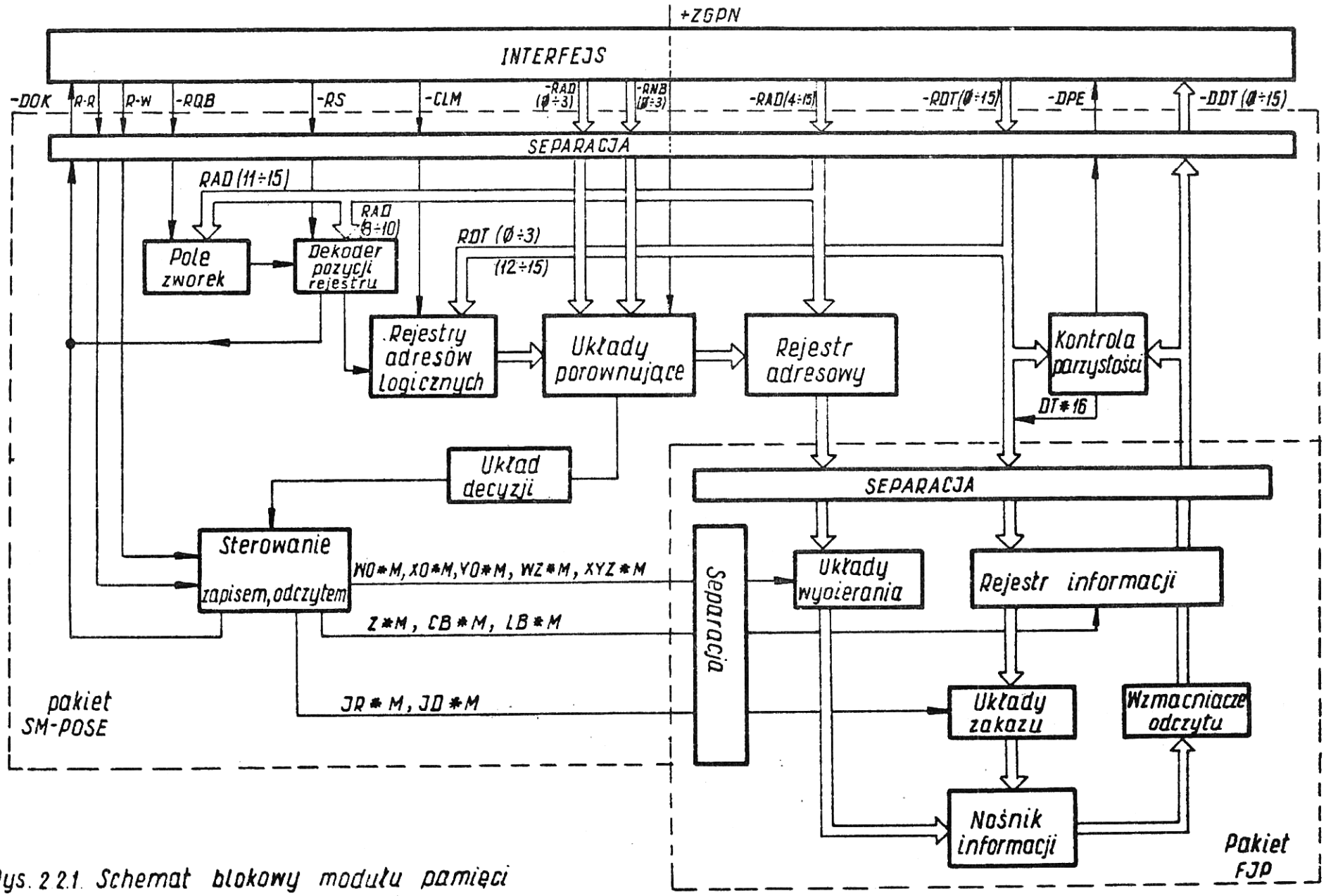
Wszystkie elementy funkcjonalne realizujące zasadę programowego organizowania pamięci znajdują się na pakiecie SM–POSE. Schemat blokowy modułu pamięci przedstawia rys. 2.2.1, elementy funkcjonalne modułu pamięci realizowane są na pakietach POSE i FJP.
Do układów związanych tylko z podziałem programowym pamięci należą:

– pole krosowe

– dekoder pozycji rejestru adresu logicznego

– rejestry adresu logicznego

W polu krosowym (Ark.10) określa się numer modułu pamięci i bada się sygnał RQB oraz sygnał RAD15. Dla prawidłowo wysterowanych sygnałów RAD11 ÷ 15 i sygnału RQB na zwartych wyjściach układu 7407 (Ark. 10 B1) ustali się wartość "1". Ustalona wartość "1" pozwala na przejście przez układ A3–6 impulsu z układu 74123 (Ark. 10, C3). Impuls ten spowoduje zadziałanie dekodera pozycji rejestru logicznego (Ark. 10, B3). Na jednym z ośmiu wyjść dekodera, określonym przez RAD8 do RAD10 pojawi się ujemny impuls, który tylnym zboczem zapamięta w wybranym rejestrze adresu logicznego informację wysterowaną na RDT0 do RDT3 i RDT12 do RDT15 (Ark. 9) czyli adres logiczny.
Rejestry adresu logicznego zrealizowane są na układach typu: 74175 (Ark. 4,5,6,7,8).
Impuls wyjściowy z układu A3–6 swoim tylnym zboczem steruje wyjście przerzutnika 7474 (Ark. 10 A4–9), który powoduje wysłanie odpowiedzi –DOK (Ark. 10, B4–8) przy warunku istnienia SEND (B4–9).
W zależności od ustawienia zworek 1–1, 1–2 i 2–1, 2–2 (Ark. 4) odpowiedź –DOK nie jest wysyłana do rejestrów adresu logicznego zdekodowanych jako 0 i 1. Realizowane jest to przez układy A3–8, A3–3, A4–5 (Ark. 10). Blokowanie odpowiedzi jest realizowane na pakietach POSE pracujących w module MJC–400.
Odpowiednie ustawienie zworek umożliwia utworzenie bloku systemowego o pojemności 4k lub 8k. Dla systemów standardowych ustalona jest pojemność 8k. W celu zapewnienia poprawnego wykonania opisanych funkcji



Rys. 2.2.1. Schemat blokowy modułu pamięci

przednie zbocze sygnału –RS jest opóźnione (układ C4–8, S5–11, Ark. 10) względem równolegle wysterowanych sygnałów RDT, RAD, RQB i wyzwala impuls w układzie 74123 (C3–13) po ustaleniu się wszystkich sygnałów, to jest po czasie około 150 ns.

4.2.3. Realizacja operacji zapisu i odczytu w blokach pamięci

Przy operacji zapisu i odczytu pakiet POSE odbiera z interfejsu adres słowa składający się z numeru bloku, sterowanego na szynach NB (0 ÷3) i adresu słowa w bloku, sterowanego na szynach AD (0 ÷ 15). W odbieranym przez pakiet POSE adresie słowa wyróżniane są dwie części. Część dwunastu młodszych pozycji adresu odbierana jako RAD4 do RAD15 jest zapisana do rejestru adresowego bezpośrednio z interfejsu. Najstarsze pozycje adresu RAD (0 ÷ 3) i numer bloku RNB (0 ÷3) są porównywane z zawartością rejestru adresu logicznego (rys. 2.2.1 i 1.4.1). Na podstawie porównania (w przypadku zgodności) określona jest wartość najstarszych czterech pozycji rejestru adresowego, która wybiera jeden z ośmiu segmentów (obszarów 4k). Ponadto, na podstawie porównania układ decyzji powoduje wykonanie operacji zapisu lub odczytu (rys. 2.2.1).
Działanie jednego z ośmiu układów porównujących (Ark. 4,5,6,7,8) na przykładzie układu 3–go (Ark. 6). Zawartość rejestru adresu logicznego H2, H6 jest podana na wejścia elementów 7486, H3, H5.
Wysterowane przy zapisie i odczycie sygnały RAD(0 ÷ 3) i RNB (0 ÷ 3) po przejściu przez separatory 74H04 (Ark. 4 i 5) są połączone z odpowiednimi elementami 7486 H3, H5.
Jeżeli nastąpi zgodność, wysterowany jest sygnał – BE3 (H4–8).
Wystąpienie sygnału BE–3 spowoduje wysterowanie sygnału +WBE (Ark. 3 N4–8), który decyduje o wykonaniu operacji zapisu lub odczytu (Ark. 1, B6). Na podstawie omówionego sygnału BE–3 określona jest zawartość czterech pozycji najstarszej części rejestru adresowego.
Wszystkie układy porównań spełniają tą samą rolę w procesie wykonywania operacji pamięci.
Dla zapewnienia dostępu procesorów do ich bloków systemowych dwa pierwsze rejestry adresu logicznego są blokowane wejściem zerującym (Ark. 4, Ark. 5 M6–1, L1–1, L2–1, L6–1) przez odpowiednie ustawienie zworek (Ark. 4).
Wyjścia tych rejestrów są połączone z elementami 7400 (Ark. 4, Ark. 5 M5, M2, K2, K6) i bramkowane sygnałem zgodności numeru procesora ZGPN (Ark. 5).
Układ ten jest wykorzystywany w pakietach POSE, pracujących w modułach MJC –400 i przez odpowiednie ustawienie zworek zapewnia pojemność bloku systemowego 4k lub 8k. Dla systemów seryjnych rezerwowane jest 8k pamięci.
Przy operacji zapisu, dane z interfejsu (RDT0 ÷ RDT15) (Ark. 9) są wysyłane do pakietów FJP odpowiednio jako sygnały DTO *S do DT15* S wraz z bitem parzystości słowa, oznaczonym symbolem D16 *S (Ark. 9 M1–8).
Parzystość 16–bitowego słowa jest określona przez dwa elementy 74180 (Ark. 9, H1, M1).
Przy operacji odczytu słowa z pamięci, słowo jest podawane bezpośrednio z rejestru informacji na pakiecie FJP na linie DDTO do DDT15 interfejsu (rys. 2.2.1). Odczytane słowo (DDT0 do DDT15) jest wprowadzone wraz z bitem parzystości DT16*M na pakiet POSE w celu stwierdzenia wystąpienia błędu parzystości (Ark. 9, S1, T1). W przypadku wystąpienia błędu parzystości wysterowany jest interfejs sygnałem –DPE (Ark. 9 B4–11).
Wykonanie operacji zapisu i odczytu jest potwierdzone sygnałem –DOK (Ark. 1 B4–3).
Zamontowany na pakiecie potencjometr RV1 jest przeznaczony do opóźnienia sygnału DOK dla operacji odczytu. Opóźnienie jest realizowane przez regulację czasu impulsu generowanego przez układ 74123 (Ark. 1, R6). Opóźnienie to zostało wprowadzone ze względu na sposób pracy pakietów FJP i jest ustawione zgodnie z Instrukcją Instalacji i Uruchamiania Modułu MJC–400.
W celu zabezpieczenia poprawnego wykonania operacji zapisu i odczytu, w przypadku ewentualnych błędów w sterowaniu interfejsu przez współpracujące z nim moduły, na pakiecie sterowania POSE zrealizowany jest układ decyzji o rozpoczęciu operacji, zapewniający przyjęcie tylko jednej operacji i jej pełne wykonanie. Układ decyzji o rozpoczęciu operacji ma budowę dwustopniową.
Operacja odczytu lub zapisu jest wykonywana, gdy:

– Adres słowa jest zgodny z zawartością rejestru adresu logicznego. Po ok. 250 ns od pojawienia się sygnałów –R R lub –R W przy spełnionym warunku zgodności zapala się przerzutnik decyzji o zgodności adresowej (Ark. 1, B6).

– Zakończył się poprzednio wykonywany cykl pamięci (brak sygnału TC (Ark 1).

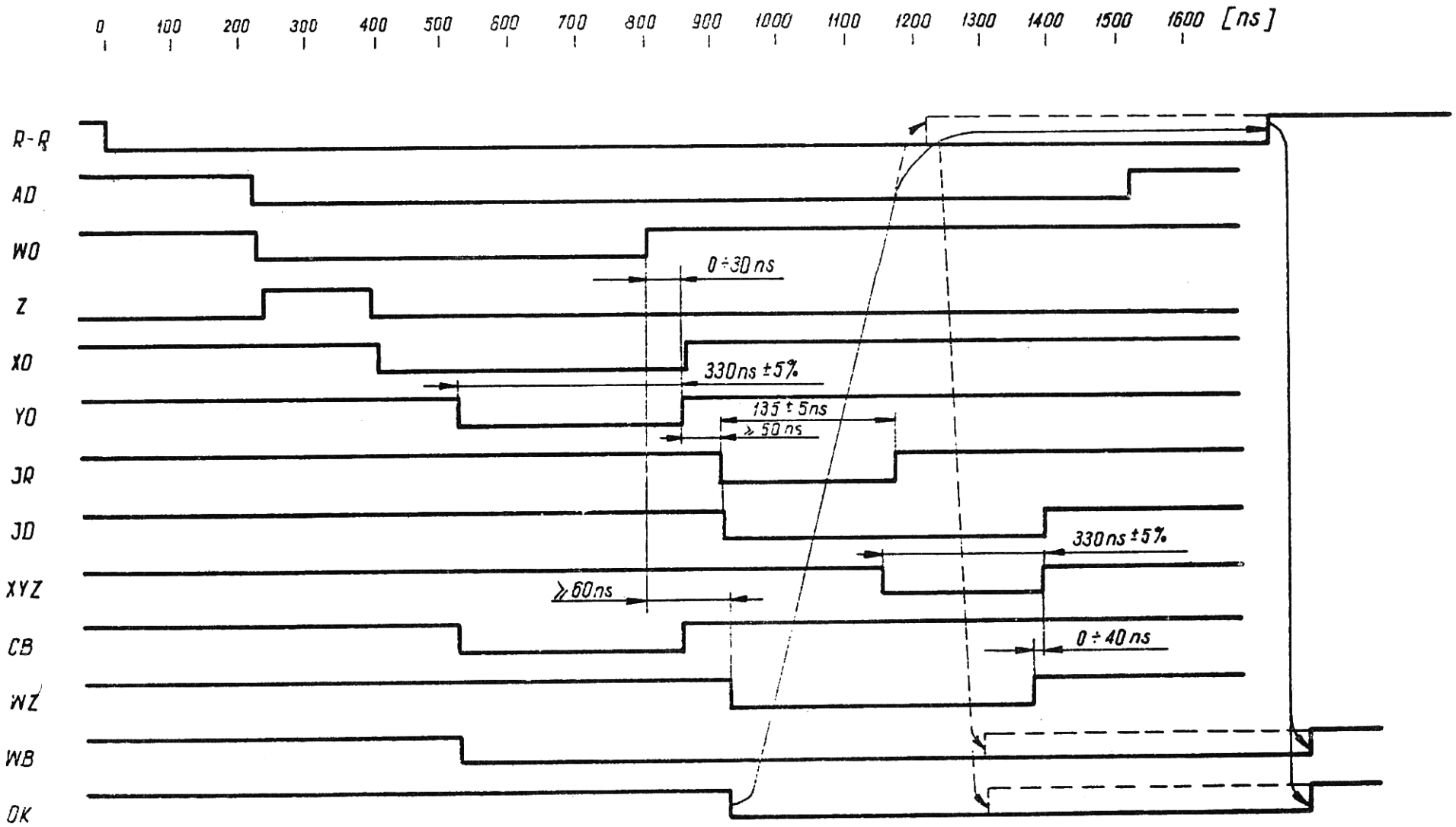
Przy spełnieniu tych warunków zapalony zostaje jeden z przerzutników przyjęcia operacji odczytu lub zapisu (Ark. 1, T6, T5), powodując start układu realizującego harmonogramy zapisu i odczytu (rys. 2.3.1 i 2.3.2).

4.2.4. Rejestr adresowy modułu pamięci

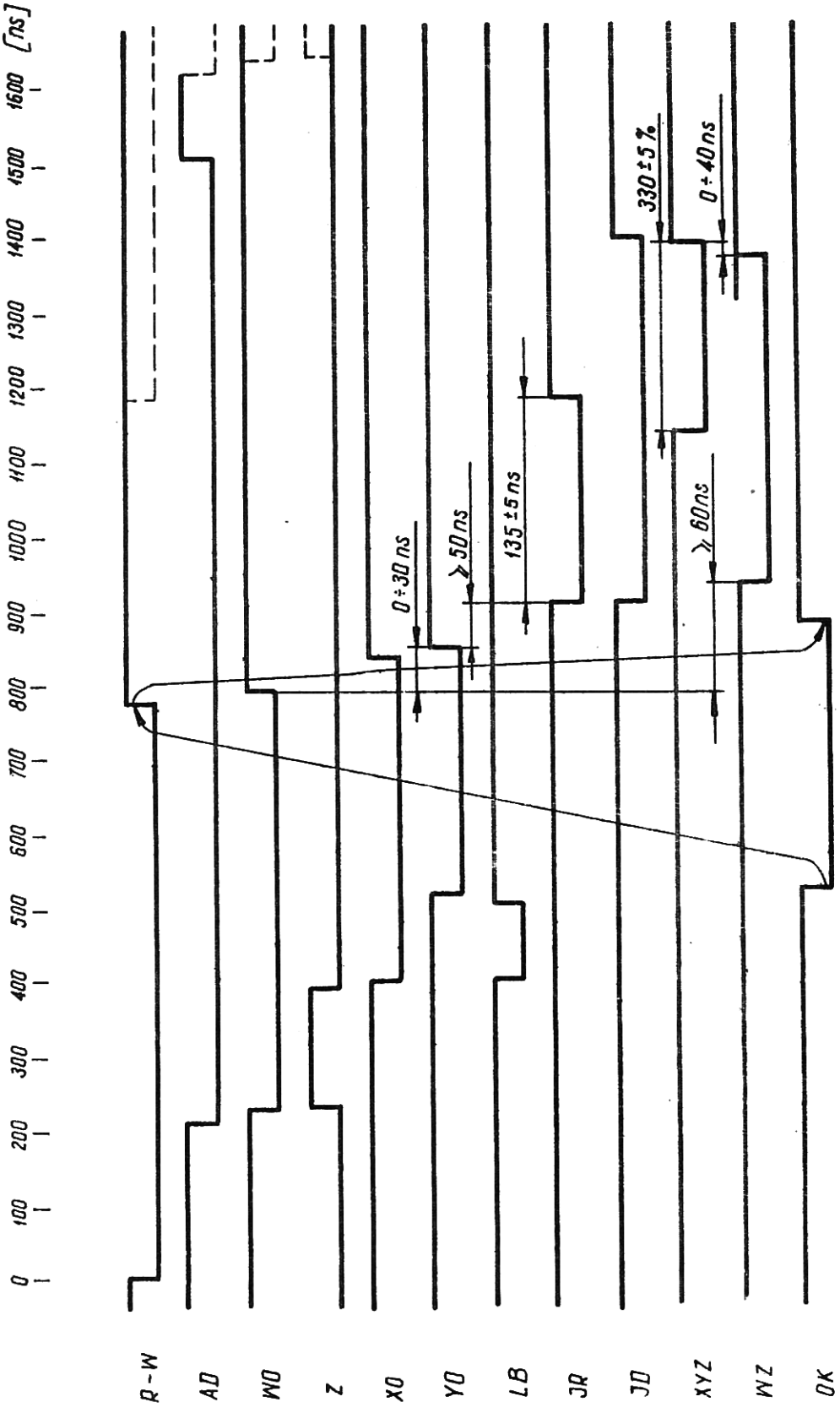
Rejestr adresowy złożony jest z dwóch części.
Część 12–bitowa przechowuje adres miejsca pamięci wewnątrz segmentu.
Wyjścia z tej części rejestru oznaczone ADM (4 ÷ 15) (Ark. 10) podawane są na wszystkie pakiety FJP, czyli do wszystkich segmentów równolegle (rys. 1.4.1 i 2.2.1).
Druga część rejestru adresowego P4, N3, R3, P2, N2 Ark. 3 zawiera 8 pozycji wybierających jeden z ośmiu segmentów w module pamięci.
Ładowanie rejestru adresowego odbywa się w początkowej fazie sterowania modułem przy operacji zapisu lub odczytu, przy czym do części pierwszej rejestru adresowego wpisywana jest informacja z linii interfejsu –RAD (4 ÷ 15), a zapalenie jednej z ośmiu pozycji drugiej części rejestru adresowego następuje w przypadku wystąpienia sygnału zgodności adresu słowa wysterowanego w interfejsie z zawartością rejestru adresu logicznego.
Rejestr adresowy zbudowany jest na przerzutnikach typu 7475.

4.2.5. Układ sterowania operacjami zapisu i odczytu

Na podstawie sygnału –RR lub –RW z interfejsu oraz zgodności adresu logicznego zostaje zapalony jeden z przerzutników przyjęcia operacji zapisu lub odczytu. Przerzutniki te generują impuls TC (S3–6) rozpoczynając cykl pracy pamięci (ark. 1). Impuls TC uruchamia pętlę sterowania prądowego pakietu FJP generując impulsy WJ, WO, Z, XO, YO, JR, JD, XYZ, WZ (Ark. 2, 3). Przy odczycie (–RR) dodatkowo generowane są impulsy: CB ★ M – wpisujący informacje odczytaną do rejestru informacji, WB (0 ÷ 3) (Ark. 3) – wysyłający informację odczytaną do interfejsu. Przy zapisie (–RW) generowany jest impuls LB ★ M (Ark. 2) wpisujący informację zapisywaną do rejestru informacji.
Harmonogramy operacji odczytu i zapisu przedstawione są na rysunkach: 2.3.1 i 2.3.2.



Rys. 2.3.1. Harmonogram operacji odczyt informacji



Rys. 2.3.2. Harmonogram operacji zapis informacji

4.2.6. Skorowidz sygnałów

Pakiet POSE współpracuje z pakietami FJP i interfejsem za pomocą następujących sygnałów:

–AS ★M	– sygnał wybrania segmentu. Sygnał ten decyduje, w którym segmencie pakietu FJP jest dokonywany zapis lub odczyt informacji.
–OBJ/0 ÷3/ ★M	– zwrotny sygnał potwierdzenia obecności pakietu FJP.
–WO ★ M, –XO ★ M, –YO ★ M	– sterowanie odczytem. Sygnały wspólne dla ośmiu pakietów FJP.
–WZ ★ M, –XYZ ★ M	– sterowanie zapisem. Sygnały sterujące układami wybierania dla operacji "zapis" w czterech pakietach FJP.
–JR ★ M, –JD ★ M	– sterowanie zakazem. Impulsy sterujące układami generowania prądów zakazu wspólne dla czterech pakietów FJP.
–WJ/0 ÷3/ ★M	– wybieranie jednostki. Sygnał ten decyduje, który z czterech pakietów FJP będzie wykonywał operację zapisu lub odczytu informacji.
–AD ★M/4÷15/	– adresy słowa wewnątrz segmentu wysyłane do 8 segmentów z pakietu SM–POSE
–PDT ★ M/0÷15/	– linie informacyjne biegnące z pakietów FJP doSM–POSE do przesyłania informacji odczytanej z wybranego segmentu.
DT ★S/0 ÷15/	– informacja zapisywana.
+Z★ M	– zerowanie rejestru informacji.
–LB	– wpisywanie informacji do rejestru informacji podczas operacji –RW (zapis).
–CB	– wpisywanie informacji odczytanej do rejestru informacji podczas operacji –RR (odczyt).
–WB/0÷3/ ★ M	– przesyłanie informacji odczytanej z pakietów FJP do interfejsu.
–RR	– czytaj z pamięci
–RW	– pisz do pamięci
–RS	– prześlij
–RAD/0÷15/	– adresy wysyłane do modułu
–RDT/0 ÷15/	– informacja zapisywana przez moduł
–RNB/0 ÷3/	– numer bloku pamięci
–RQB	– wskaźnik systemu
–DOK	– potwierdzenie przyjęcia rozkazu

–DDT	– informacja odczytana z modułu
–DPE	– kontrola parzystości
–CLM	– zerowanie
+ZGPN	– zgodność numeru procesora

4.2.7. Pakiet FJP–8/18/1

Konstrukcja pakietu FJP–8/18/1 stanowi zwarty blok składający się z dwóch płyt FE–8/18/1 i FM–8/18/1 połączonych ze sobą za pomocą szerokotolerancyjnych złącz osadzonych wzdłuż dłuższych krawędzi płyt. Płyta FE–8/18/1 wyposażona jest w dwa 84 stykowe złącza stanowiące łączówki interfejsu pamięci. Pamięć FJP–8/18/1 nie posiada generatorów sygnałów sterujących cyklem pamięciowym. Sterowanie na poziomie logicznym zapewnia pakiet POSE11.
Ferrytowy blok pamięci o pojemności 18x8k (147, 456) rdzeni 4 RT 0,55 zrealizowany jest w systemie 3D 3W i wraz z diodami matrycy wybierającej X, Y i rezystorami dopasowań.
Opis funkcjonalny pakietu FJP jest zawarty w dokumencie:
Wrocławskie Zakłady Elektroniczne MERA–ELWRO "Jednostka Pamięci Ferrytowej FJP–8/18/1. Opis techniczny – nr OT–2056101–7".

4.2.8. Sposób ustalania pojemności bloku systemowego i numeru modułu.

Pojemność bloku systemowego w module MJC–400 ustala się na pakiecie POSE przez wykonanie połączeń w polu zworek oznaczonych 1–1; 1–2; 2–1; 2–2; 2–3; 2–4.
Wykonanie połączeń i odpowiadające pojemności są następujące:

8k – 1–1 zwarte z 1–2 2–4 rozwarte z 2–3
2–1 zwarte z 2–2

4k – 1–1 zwarte z 1–2 2–1 rozwarte z 2–4
2–3 zwarte z 2–4

W modułach pamięci MPOF–400 są wykonane następujące połączenia:

2–4 zwarte z 2–3 1–1 rozwarte z 1–2
oraz
2–1 rozwarte z 2–2

sygnał ZGPN jest podany krosem na płaterze do "0" V.
Numer modułu jest krosowany w polach zworek e,d,c,b (Ark. 10).
W każdym polu oznaczonym literą wykonuje się połączenia pomiędzy punktami oznaczonymi cyframi 1,2,3, w polu wykonane jest zawsze tylko jedno połączenie zgodnie z poniższą tabelą.

Numer modułu	e	d	c	b
0	2–3	2–3	2–3	2–3
1	2–3	2–3	1–3	2–3
2	2–3	1–3	2–3	2–3
3	2–3	1–3	1–3	2–3
4	2–3	2–3	2–3	1–3

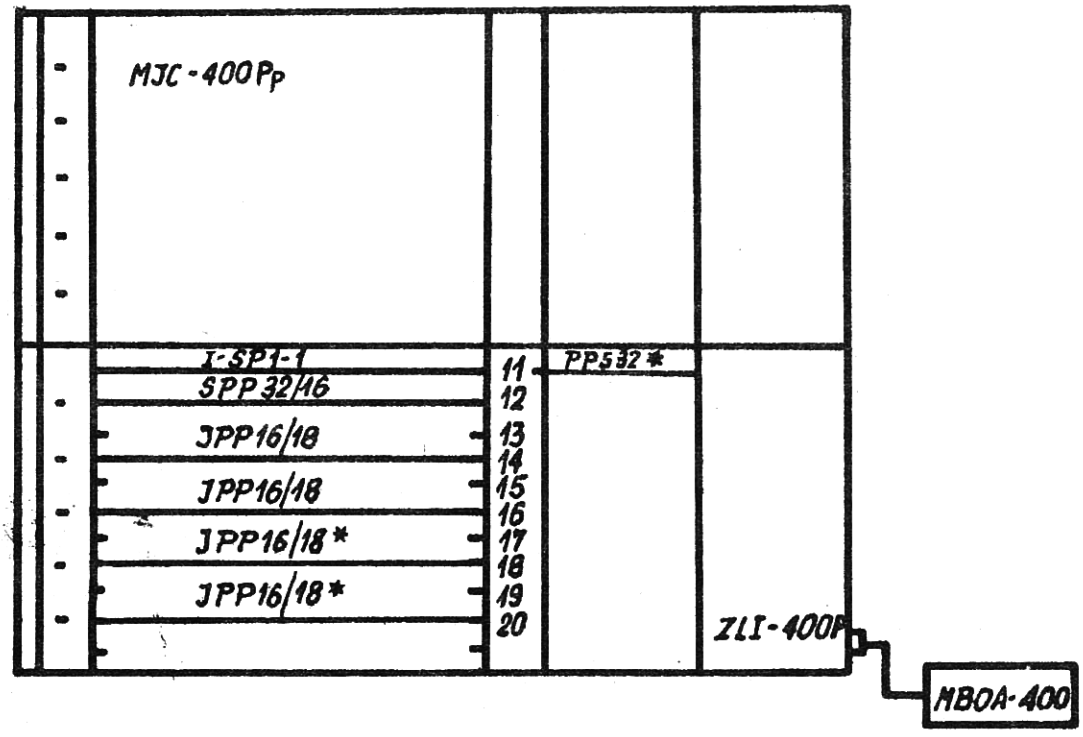
5	2–3	2–3	1–3	1–3
6	2–3	1–3	2–3	1–3
7	2–3	1–3	1–3	1–3
8	1–3	2–3	2–3	2–3
9	1–3	2–3	1–3	2–3
10	1–3	1–3	2–3	2–3
11	1–3	1–3	1–3	2–3
12	1–3	2–3	2–3	1–3
13	1–3	2–3	1–3	1–3
14	1–3	1–3	2–3	1–3
15	1–3	1–3	1–3	1–3

5. PAMIĘC OPERACYJNA PÓŁPRZEWODNIKOWA

5.1. Wstęp

Moduł jednostki centralnej systemu MERA–400 wyposażony w pamięć półprzewodnikową 32k słów zbudowaną na mikroukładach K565 PY1A (ZSRR) oznaczony jest symbolem MJC–400 Pp. W dolnej części modułu (rysunek 1.1.) umieszczona jest pamięć półprzewodnikowa, która składa się z:

- pakietu interfejsu I–SK1–1,
- pakietu sterowania pamięcią SPP 32/16,
- pakietów nośnika informacji JPP 16/18 o pojemności 16k słów 16 bitowych (+ 1 bit parzystości),
  2 szt. dla wyk. 1 o pojemności 32k
  4 szt. dla wyk. 2 o pojemności 64k
- pakietu PPS 32*,
- zasilacza ZLI–400,
- modułu baterii MBOA 34–400 (montowanego w szafie MRC–400).



* pakiety tylko dla wyk. 2 o pojemności 64k

Rys. 1.1.

5.2. Opis funkcjonalny pamięci operacyjnej

Półprzewodnikowa pamięć operacyjna systemu MERA–400 przeznaczona jest do zapamiętywania danych i programów. Zbudowana jest w oparciu o układy pamięciowe dużej skali integracji typu RAM 4k x 1 (dynamiczne). Do konstrukcji pamięci wykorzystano mikroukłady pamięciowe typu K565 PY1A prod. ZSRR. Z pamięcią współpracują procesory i kanały. Do interfejsu minikomputera MERA–400 może być dołączonych 16 modułów pamięci o pojemności 32k słów 16 bitowych dla systemu jednoprocesorowego. Określenie adresu słowa w pamięci polega na określeniu numeru bloku i numeru adresu słowa w bloku. Bloki pamięci organizowane są programowo i pojemność ich jest zawsze wielokrotnością 4k. W systemie MERA–400 standardowo organizuje się bloki do 32k słów. Bloki organizowane są rozkazem "OU" kierowanym do pamięci.

5.2.1. Schemat blokowy pamięci

Organizacja pamięci umożliwia utworzenie 16 bloków programowych ponumerowanych od 0 ÷ 15 (rysunek 2.1.1.). Blok o numerze "0" jest blokiem systemowym (BS). Pozostałe są blokami użytkowymi (BU). Pojemność bloków pamięci nie jest związana z liczbą i pojemnością modułów pamięci z wyjątkiem bloków systemowych BSO' i BSO". Bloki te związane są z modułem MJC–400Pp i nie są wspólne dla obydwu procesorów. Nie podlegają również programowemu podziałowi pamięci. Każdy z bloków BSO' i BSO" może mieć pojemność 4k lub 8k. Blok BSO" może być uzupełnieniem bloku systemowego do 32k, jest on wspólny dla obydwu procesorów i jest tworzony programowo tak jak bloki BU.

5.2.2. Dostęp do bloków pamięci

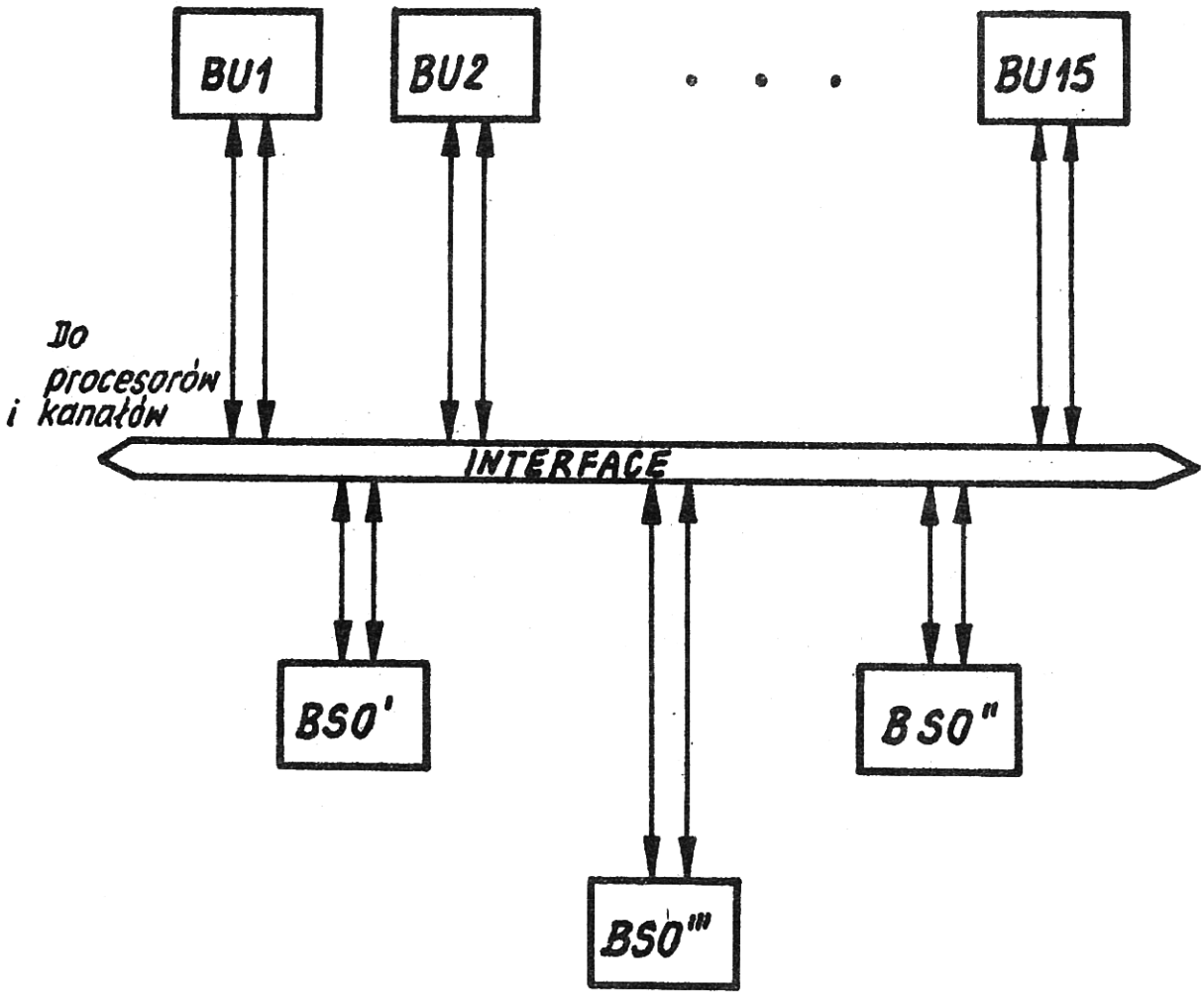
Wszystkie moduły systemu współpracujące z pamięcią operacyjną mają dostęp do bloków pamięci (tzn. mogą przeprowadzać operację zapisu i odczytu) dopiero po programowym zorganizowaniu pamięci. Nie dotyczy to bloków systemowych BSO' i BSO", do których jest dostęp procesorów przy zgaszonym wskaźniku Q. Oznacza to, że procesor w ramach "związanego" z nim bloku systemowego może wykonywać rozkazy i operacje z pulpitu operatora bez względu na stan systemu. Po dokonaniu programowego podziału pamięci dostęp do bloków użytkowych jest możliwy po wysterowaniu przez współpracujący z pamięcią moduł numeru bloku i adresu w bloku. Dla modułu MJC–400 numer bloku wysterowany jest z rejestru numeru bloku NB (poz. 12 ÷ 15 rejestru SR) przy zapalonym wskaźniku Q (poz. 10 rejestru SR), adres w bloku wysterowany jest wg zawartości rejestru adresowego AR.

5.2.3. Programowy podział pamięci

W modułach pamięci o pojemności 32k słów każdy, organizowane są na drodze programowej bloki pamięci o pojemności od 4k do 32k z przyrostem co 4k. Każdemu modułowi nadawany jest numer wg którego następuje wybranie modułu przy programowym organizowaniu pamięci. Dla wyk. 1 o pojemności 32k numer nadaje się za pomocą zworek na pakiecie SPP 32/16. Dla wyk. 2 o pojemności 64k (2 moduły po 32k), pierwszemu modułowi 32k nadaje się numer j.w., a drugiemu zworkami na pakiecie PPS 32. W ramach każdego modułu zrealizowanych jest osiem segmentów po 4k, którym programowo przydziela się numer bloku i adres bloku, zapamiętywane w rejestrze adresu logicznego segmentu. Programowy podział pamięci dokonywany jest rozkazem OU. Na podstawie argumentu tego rozkazu jest określone:

a/ skierowanie rozkazu OU do pamięci operacyjnej,
b/ wybór modułu pamięci wg jego numeru,
c/ wybór rejestru adresu logicznego.

Na podstawie pierwszego argumentu przydziela się numer bloku i adres w bloku i zapisuje w rejestrze adresu logicznego, który wybierany jest drugim argumentem. Numer bloku i adres w bloku określony jest jako adres logiczny. Ponieważ segment ma zawsze obszar 4k słów przy dokonywaniu podziału programowego wpisuje się tylko cztery najstarsze pozycje adresu w bloku. W pierwszym argumencie



Rys. 2.1.1. Schemat blokowy dołączania pamięci operacyjnej w minikomputerze MERA–400

rozkazu OU, który określa adres logiczny, na pozycjach od 0 do 3 określona jest starsza część adresu w bloku, na pozycjach od 12 do 15 określa się numer bloku. Pozostałe pozycje pierwszego argumentu są ignorowane. Adres logiczny segmentu wpisywany jest do rejestru adresu logicznego, który jest wybrany drugim argumentem rozkazu OU. Poszczególne pozycje drugiego argumentu N zawierają:

$N_{15} = 1$ — oznacza, że rozkaz OU skierowany jest do modułu pamięci

$N_{11 \div 14}$ — numer modułu, do którego skierowany jest rozkaz

$N_{8 \div 10}$ — numer rejestru adresu logicznego

Przyjęcie rozkazu OU potwierdzone jest przez moduł pamięci odpowiedzią OK na podstawie zawartości drugiego argumentu. Rozkaz nie jest potwierdzony odpowiedzią dla $N_{15} = 0$ i nieistniejącego numeru modułu pamięci. W module MJC—400 moduł pamięci 32k ma pierwsze dwa argumenty zaadresowane na stałe za pomocą zworek przewidziane do pracy systemu operacyjnego. Rozkazy OU wysyłane do pierwszych dwu rejestrów adresu logicznego nie są potwierdzone odpowiedzią OK.

5.2.4. Operacje zapisu i odczytu

Operacje zapisu i odczytu są realizowane po dokonaniu programowego zorganizowania pamięci. Na rysunku 2.4.1. przedstawiono sposób adresacji modułu pamięci. Przy każdej operacji wysterowany jest numer bloku NB, na którym ma być wykonana i adres bloku AD. Zgodnie ze schematem blokowym przy wykonywaniu operacji numer bloku NB i starsza część adresu w bloku AD 0 ÷ AD 3 jest porównywana z zawartością rejestru adresu logicznego. Na podstawie porównania określony jest jeden z ośmiu segmentów 4k, którym jest wykonywana operacja wg adresu określonego AD 4 ÷ AD 15. Przyjęcie operacji zapisu i odczytu jest potwierdzone odpowiedzią OK. W przypadku braku odpowiedzi przy odwołaniach procesora, w procesorze zgłaszane jest przerwanie braku pamięci. Na brak odpowiedzi procesor reaguje w zależności czy brak odpowiedzi nastąpił przy wykonywaniu operacji w bloku systemowym czy użytkowym. Dla bloków użytkowych zgłaszane jest przerwanie (poz. 2 rejestru RZ), zaś dla bloku systemowego procesor zgłasza przerwanie i przechodzi w stan sygnalizowany na pulpicie operatora wskaźnikiem "Alarm" Podczas zapisu słowa generowany jest bit parzystości i zapamiętywany jako 17 pozycja z każdym słowem. Podczas odczytywania słowa badana jest parzystość i w przypadku wystąpienia błędu zgłaszane jest przerwanie "Błąd parzystości" (poz. 1 rejestru RZ). Przy wystąpieniu błędu parzystości, przy odwołaniach procesora dla bloku użytkowego zgłaszane jest przerwanie i procesor przechodzi w stan stop sygnalizowany na pulpicie operatora wskaźnikiem "Alarm".

5.3. Budowa i działanie modułu pamięci półprzewodnikowej

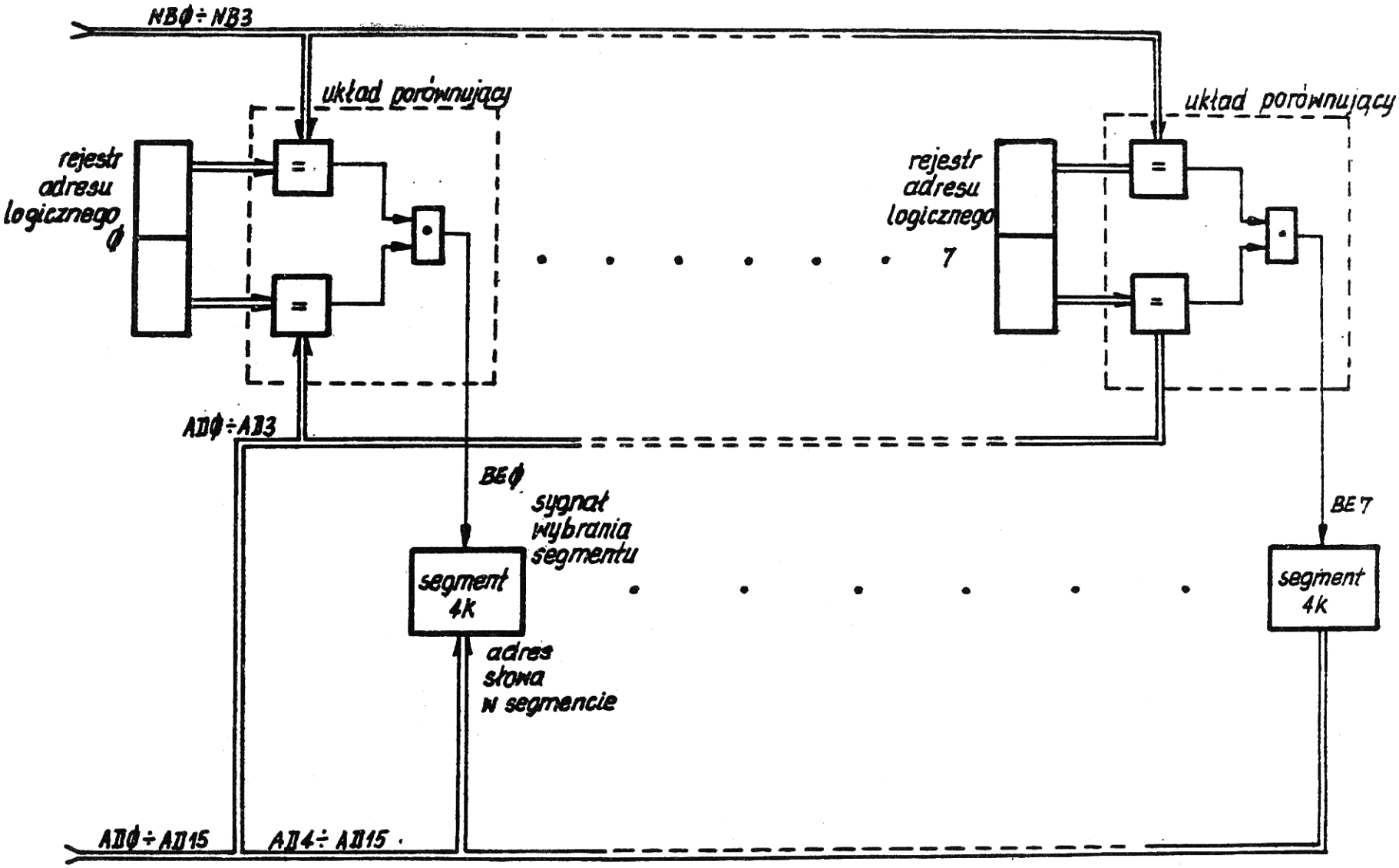
5.3.1. Rozwiązanie konstrukcyjne

W systemie MERA—400 mogą być zastosowane dwa rodzaje modułów pamięci półprzewodnikowej:

- pamięć półprzewodnikowa wchodząca w skład modułu jednostki centralnej MJC—400Pp (indeks "Pp" oznacza jednostkę MJC—400 z pamięcią półprzewodnikową),
- moduł MPOP—400 jako niezależna szuflada służąca do rozbudowy pamięci operacyjnej.

Z punktu widzenia konstrukcji mechnicznej moduły są identyczne, z tym że moduł pamięci wchodzący w skład jednostki centralnej jest mechanicznie powiązany z procesorem i tworzy moduł MJC—400Pp. W skład każdego modułu wchodzą następujące elementy:

- pakiet interfejsu ISP,
- pakiet sterowania SPP 32/16,
- pakiety nośnika informacji JPP 16/18,
- pakiet PPS 32 (tylko dla wyk. 2 o pojemności 64k),
- zasilacz ZLI—400P.



Rys. 2.4.1. Sposób adresacji modułu

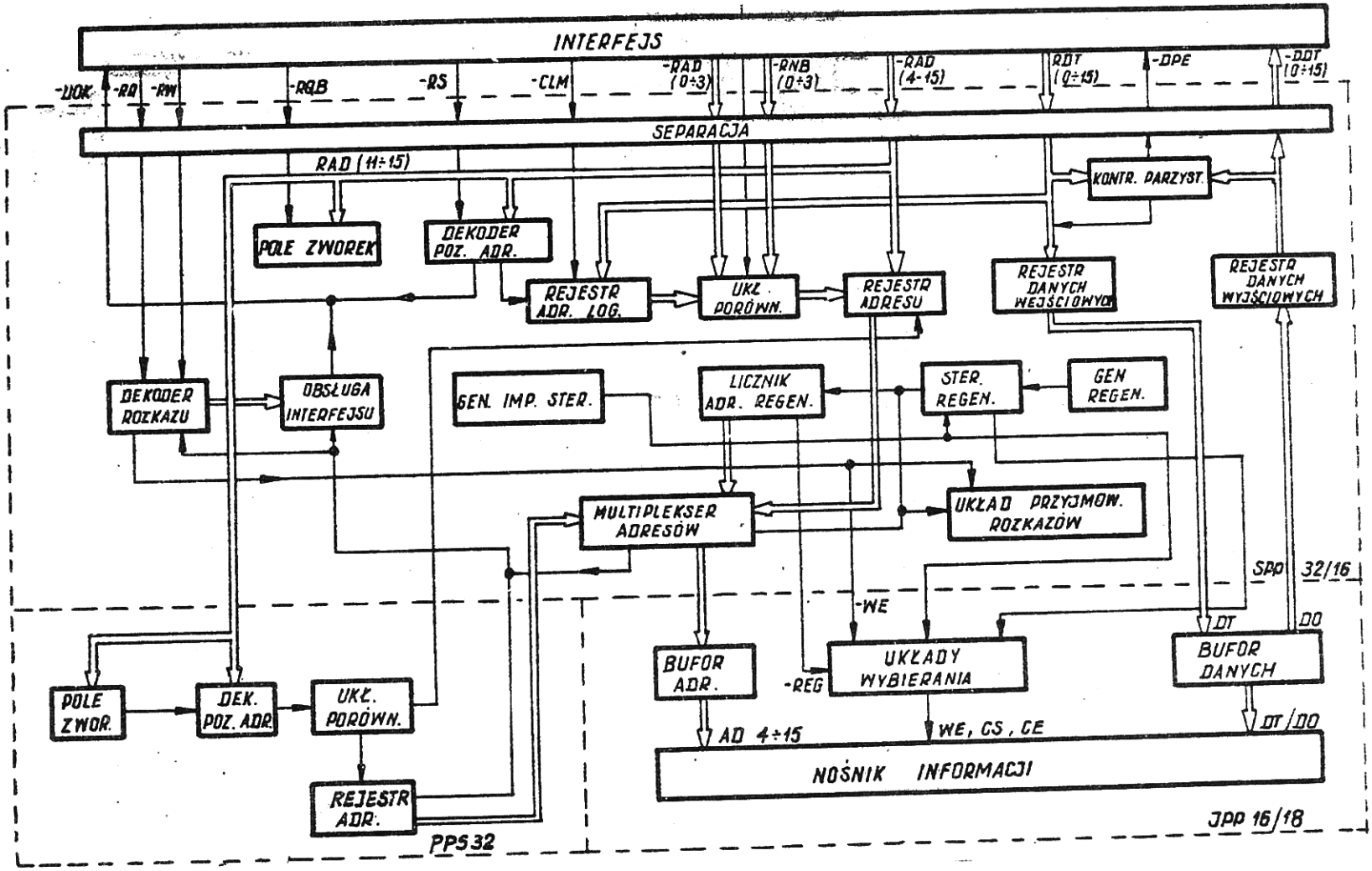
Ponadto dodatkowo wchodzi moduł baterii MBOA–34–400 służący do podtrzymywania informacji przy zaniku sieci zasilającej. Moduł ten jest dołączony kablem do zasilacza ZLI–400P. Funkcjonalnie pakiet SPP 32/16 i dwa pakiety JPP 16/18 stanowią zamknięty moduł pamięci o numerze "0" i pojemności 32k. W nim zarezerwowane są dwa pierwsze segmenty o pojemności 8k na blok systemowy (bloki BSO' i BSO''). Blok ten nie podlega programowemu podziałowi pamięci. Na pakiecie SPP 32/16 są układy zapewniające realizację programowego podziału pamięci i dostępu do pamięci. Każdy pakiet JPP 16/18 ma pojemność 16k słów 16 bitowych + bit parzystości. Zasilacz ZLI–400P zasila pamięć ze źródeł +12V, +5V i +5V*. Przy zastosowaniu modułu baterii MBOA–34–400 po zaniku sieci zasilającej nadal działają źródła +12V i +5V*, co umożliwia podtrzymywanie informacji w pamięci przez około 1 godz. (przy sprawnych i w pełni załadowanych bateriach akumulatorowych). Źródło +5V* służy do zasilania układów regeneracji i mikroukładów pamięciowych.

5.3.2. Realizacja programowego podziału pamięci

Pakiet interfejsu realizuje zgodnie z zasadami współpracy na interfejsie komunikację między blokami pamięci utworzonymi w module pamięci i pozostałymi modułami systemu. Rozkaz "OU" wysterowuje na interfejsie pytania SEND oraz zawartość pierwszego i drugiego argumentu. Zawartość pierwszego argumentu jest wysterowana na sygnał DT interfejsu, zawartość drugiego na sygnał AD. Wysterowane szyny są odbierane przez pakiet SPP 32/16 jako sygnały RS, RDT i RAD. Oznacza to, że sygnały RDT 0 do RDT 3 i RDT 12 do RDT 15 przekazują do pamięci adres logiczny. Na podstawie sygnałów RAD 11 do RAD 15 wybierany jest moduł pamięci, natomiast na podstawie sygnałów RAD 8 do RAD 10 wybierany jest jeden z 8 rejestrów adresu logicznego. RAD 15 = 1 (OU) oznacza, że pytanie SEND kierowane jest do pamięci. Wszystkie elementy funkcjonalne realizujące zasadę programowanego podziału pamięci o pojemności 32k znajdują się na pakiecie SPP 32/16. Schemat blokowy modułu pamięci przedstawia rysunek 3.2.1. Do układów związanych tylko z podziałem programowym należą:

- pole binarne,
- dekoder pozycji adresu logicznego,
- rejestry adresu logicznego.

W polu krosowym (arkusz 9) określa się numer modułu pamięci i bada się sygnał RQB oraz RAD 15. Dla prawidłowo wysterowanych sygnałów RAD 11 ÷ 15 i sygnału RQB na zwartych wyjściach układu 7407 (arkusz 9 A4) ustali się wartość "1". Pozwala to na przyjęcie przez układ D5–6 impulsu z układu 74123 (D6). Impuls ten spowoduje zadziałanie dekodera pozycji rejestru logicznego B5. Na jednym z ośmiu wyjść dekodera pojawi się ujemny impuls, który zapamięta w wybranym rejestrze adresu logicznego informację wysterowaną na RDT 0 ÷ RDT 3 i RDT 12 ÷ RDT 15 (arkusz 5 i arkusz 6) czyli adres logiczny. Rejestry adresu logicznego zbudowane są na układach typu 74175 (arkusz 11, 12, 13,14). Impuls wyjściowy z układu DS–11 swoim tylnym zboczem steruje wejście przerzutnika 7474 (arkusz 9 C6), który powoduje wysłanie odpowiedzi –DOK (arkusz 9 H4) przy warunku istnienia SEND (arkusz 9 C5). W zależności od ustawienia zworek 1–1, 1–2, 2–1, 2–2 (arkusz 10) odpowiedź –DOK nie jest wysyłana do rejestrów adresu logicznego zdekodowanych jako 0 i 1. Realizowane jest to przez układy C5–2, D5–3 i C6–5 (arkusz 9). Blokowanie odpowiedzi jest realizowane na pakietach SPP 32/16 pracujących w module MJC–400Pp. Odpowiednie ustawienie zworek umożliwia utworzenie bloku systemowego o pojemności 4k lub 8k. Dla systemów standardowych ustalona jest pojemność 8k. W celu zapewnienia poprawnego wykonania tych funkcji przednie zbocze sygnału –RS jest opóźnione (układ D5–8, C5–8 arkusz 9) względem równolegle wysterowanych sygnałów RDT, RAD, RQB i wyzwala impuls w układzie 74123 (D6–13) po ustaleniu się wszystkich sygnałów.
Pakiet PPS 32 zawiera powtórzenie układów logicznych realizujących opisany wyżej sposób programowego podziału 32k pamięci i obsługuje drugie 32k w wyk. 2 MJC–400Pp i MPOP–400.



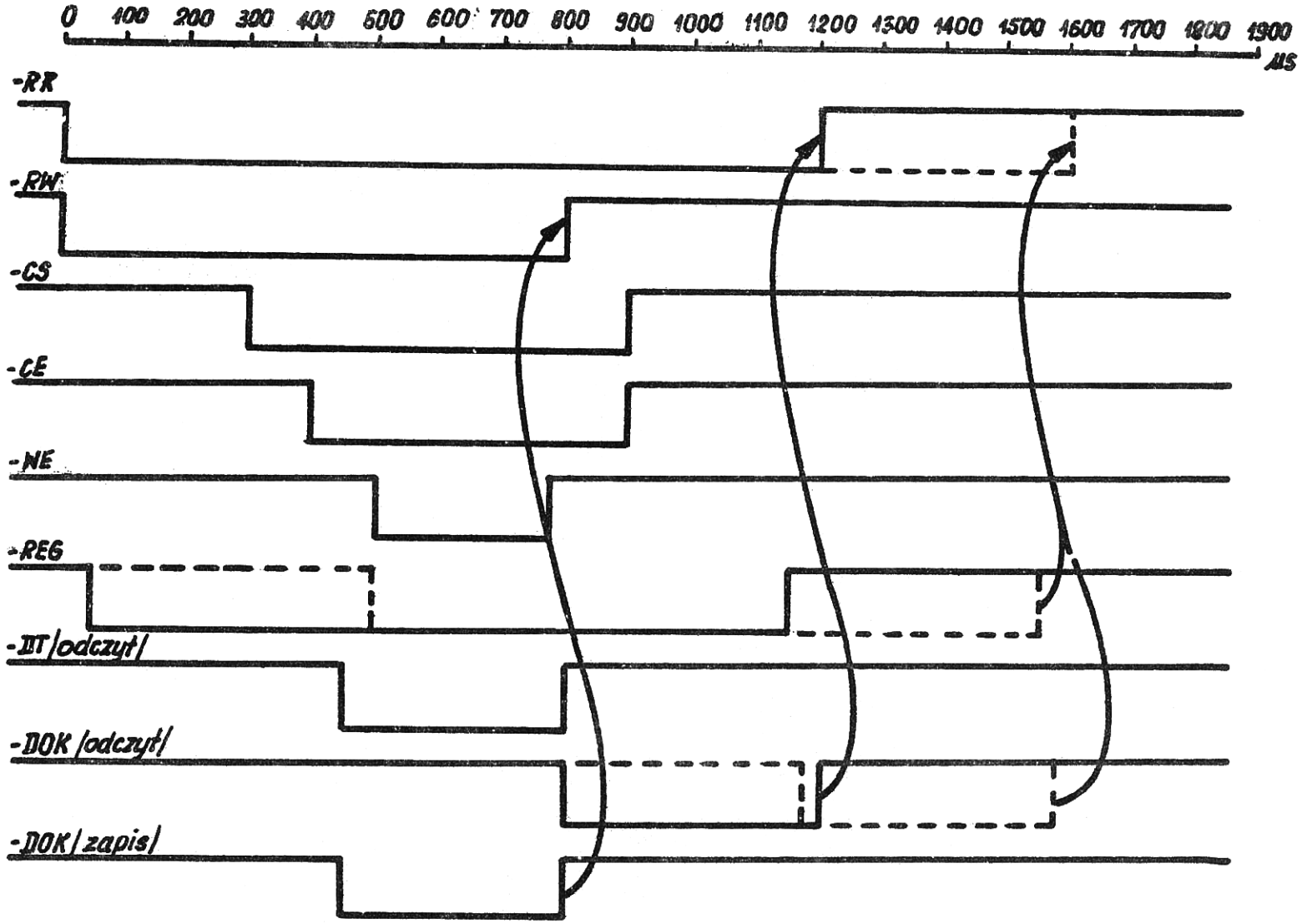
Rys. 3.2.1. Schemat blokowy modułu pamięci

5.3.3. Realizacja operacji zapisu i odczytu

Przy operacji zapisu i odczytu pakiet SPP 32/16 odbiera z interfesju adres słowa składającego się z numeru bloku sterowanego na szynach RNB 0 ÷ 3 i adresu słowa w bloku, sterowanego na szynach RAD 0 ÷ 15. W odbieranym przez pakiet SPP 32/16 adresie słowa wyróżniane są dwie części. Adresy RAD 4 ÷ RAD 15 jest zapisana do rejestru adresowego bezpośrednio z pamięci. RAD(0÷3) i numer bloku RNB(0÷3) są porównywane z zawartością adresu logicznego (rysunek 3.2.1. i 2.4.1.). W przypadku zgodności przy porównaniu określona jest wartość najstarszych 4 pozycji rejestru adresowego, która wybiera jeden z ośmiu segmentów. Układ dekodera rozkazu powoduje (przerzutniki D6, G5 i H5 arkusz 3) wykonanie operacji zapisu lub odczytu. Wykonanie operacji zapisu lub odczytu jest potwierdzone sygnałem –DOK. Specyfika pamięci półprzewodnikowej wymaga regeneracji informacji w komórkach. Każda komórka musi być regenerowana co około 2 msek. Polega to na wybieraniu adresów kolumn w mikroukładach pamięciowych przy równoczesnym dokonaniu odczytu. W tym celu są wykorzystywane adresy RAD 10 ÷ 15. Są one podawane na licznik adresów regeneracji (D3, D4 arkusz 2) sterowany układami dekodera 74193 (E3, E4 arkusz 2). Dekoder ten jest uruchamiany generatorem impulsów regeneracji zbudowanym na przerzutnikach 74123 (E2 arkusz 2). Generator ten wysyła co około 30 μs sygnał zmiany adresu w dokoderze adresów regeneracji i równocześnie otwiera sygnałem –REF cykl odczytu w całej pamięci. Układ bramek F5 i H4 wraz z przerzutnikiem G5 (arkusz 3) uniemożliwia jednoczesne dokonanie operacji zapis – odczyt i regeneracji. Działanie jednego z ośmiu układów porównujących przy wykonywaniu operacji podziału softwerowego pamięci (arkusz 1 ÷ 14) będzie opisane na przykładzie segmentu 3 (arkusz 12). Zawartość rejestru adresu logicznego D7 i P7 jest podawana na wejście elementów 7485 D8 i P8. Wysterowane przy operacji zapis – odczyt sygnały –AD(0÷3) są połączone z odpowiednimi elementami 7485 (D8 i P8).
W przypadku zgodności jest wysyłany sygnał +S3. Sygnały S(0÷7) po przejściu przez bramki J7 i J8 i J6 arkusz 15 powodują wysyłanie do jednostek pamięci JPP 16/18 odpowiednich sygnałów wyboru jednostki i segmentu (WB i AS) oraz sygnału zgodności –ZGD, zapalającego przerzutnik H5 (arkusz 3) co powoduje rozpoczęcie operacji zapis – odczyt. Wszystkie układy porównujące spełniają taką samą rolę w procesie wykonywania operacji podziału pamięci. Rejestry adresowe zawarte są na arkuszu 4, natomiast rejestry danych wejściowych na arkuszu 5, 6. Układy 74180 55 i N5 (arkusz 5 i 6) służą do zapisu bitu parzystości. Rejestry danych wyjściowych zawarte są na arkuszu 7 i 8 a układy 74180 S3 i N3 (arkusz 7 i 8) służą do kontroli parzystości i wysyłania informacji o błędzie parzystości –DPE. Arkusz 1 zawiera generator kwarcowy o częstotliwości 10.000kHz i układy generacji wszystkich wewnętrznych impulsów sterujących pamięcią (harmonogram rysunek 3.2.1.). Dla zapewnienia dostępu procesora do jego bloku systemowego dwa pierwsze rejestry adresu logicznego arkusz 11 są blokowane wejściem zerującym poprzez sygnały CL0 i CL1 za pomocą odpowiedniego ustawienia zworek 1–1, 1–2 i 2–1, 2–2 (arkusz 10). Wyjścia tych rejestrów są połączone z bramkami 7400 A7, T7 (arkusz 11) i bramkowane sygnałem zgodności numeru procesora –ZGPN (ustawianym zworką Z–4, Z–3). Układ ten jest wykorzystywany w pakietach SPP 32/16 pracujących w modułach MJC–400Pp i przez odpowiednie ustawienie zworek zapewnia pojemność bloku systemowego 4k lub 8k. W systemach seryjnych rezerwowane jest 8k pamięci.

5.3.4. Pakiet JPP 16/18

Pakiet JPP 16/18 zawiera nośnik informacji o pojemności 16k słów 17 bitowych oraz układy buforowe danych i adresów. Ponadto zawiera układy wytwarzania sygnałów zapisu i odczytu dla każdego segmentu 4k. Bufor sygnałów adresowych stanowią inwertery 7404 (M14, M11 arkusz 1) z wyjść, których sygnały adresowe podawane są bezpośrednio na wyjścia adresowe wszystkich mikroukładów pamięciowych typu K565 PY1A. Dane wejściowe wchodzą bezpośrednio na wejścia mikroukładów pamięciowych, natomiast dane wyjściowe z mikroukładów pamięciowych są bramkowane sygnałem –READ na bramkach 7438 (M8, M9, M10 arkusz 1 i M7 arkusz 3). Układ we/wy tworzy linie bitowe, których jest 16 + 1 bit parzystości. Arkusz 4 jest bitem 0 i następnie kolejno do arkusza 20, który jest bitem 16 (parzystości). Sygnały sterujące –CS, –CE, –WE poprzez bufory wyjściowe



Rys. 3.3.1. Harmonogram operacji zapis – odczyt (.... odczyt z regeneracją)

M4, M6 (arkusz 2 i 3) są przetwarzane na sygnały sterowania 4 segmentów –CS(0÷3); –WE(0÷3) i CE(0÷3) za pomocą sygnałów wybierających S(0÷3). Sygnał S(0÷3) powstaje w wyniku zdekodowania sygnału wyboru segmentu A5(0÷1) dekoderem 7442 (M2 arkusz 2). Sygnał ten bramkuje odpowiednio układy 7400 (M3, M13 arkusz 2) dla sygnałów –CS(0÷3) i –WE(0÷3) oraz układy 75451 (M12, M15 arkusz 3) dla sygnału CE(0÷3). Sygnał CE(0÷3) jest sygnałem MOS o poziomie +12V wysterowanym na tranzystorach BSXP 13 (T1 ÷ T4 arkusz 3). W przypadku przeprowadzania operacji regeneracji sygnał –REF otwiera jednocześnie bramki 7400 (M1 arkusz 2) powodując jednocześnie otwarcie wszystkich mikroukładów pamięciowych na pakiecie dla przeprowadzenia operacji odczytu.

5.3.5. Sposób ustalania bloku systemowego i numeru modułu

Pojemność bloku systemowego w module MJC–400Pp ustala się na pakiecie SPP 32/16 przez wykonanie połączeń w polu zworek oznaczonych 1–1, 1–2, 2–1, 2–2, 2–3, 2–4. Wykonanie połączeń i odpowiadające im pojemności są następujące:

8k –	1–1 zwarte z 1–2	2–4 rozwarte z 2–3
	2–1 zwarte z 2–2	
4k –	1–1 zwarte z 1–2	2–1 rozwarte z 1–2
	2–3 zwarte z 2–4	

W modułach pamięci zewnętrznej MPOP–400, gdzie nie rezerwuje się bloku systemowego, są wykonywane następujące połączenia:

2–4 zwarte z 2–3	1–1 rozwarte z 1–2
	2–1 rozwarte z 2–2

Sygnał ZGPN jest podany krosem na płaterze do OV. Numer modułu jest krosowany w polach zworek e, d, c, b. W każdym polu dokonuje się połączenia między punktami oznaczonymi cyframi 1, 2, 3. W każdym polu wykonuje się zawsze tylko jedno połączenie zgodnie z podaną tabelą:

Numer modułu	e	d	c	b
0	2–3	2–3	2–3	2–3
1	2–3	2–3	1–3	2–3
2	2–3	1–3	2–3	2–3
3	2–3	1–3	1–3	2–3
4	2–3	2–3	2–3	1–3
5	2–3	2–3	1–3	1–3
6	2–3	1–3	2–3	1–3
7	2–3	1–3	1–3	1–3
8	1–3	2–3	2–3	2–3
9	1–3	2–3	1–3	2–3
10	1–3	1–3	2–3	2–3
11	1–3	1–3	1–3	2–3
12	1–3	2–3	2–3	1–3
13	1–3	2–3	1–3	1–3
14	1–3	1–3	2–3	1–3
15	1–3	1–3	1–3	1–3

W MJC–400Pp ustawia się nr modułu "0" dla pierwszych 32k na pakiecie SPP 32/16 oraz nr modułu "1" dla drugich 32k na pakiecie PPS 32.
W MPOP–400 ustawia się dowolne numery modułów (wynikające z konfiguracji całej pamięci operacyjnej) w sposób j.w.

5.3.6. Skorowidz sygnałów

Pakiet SPP 32/16 współpracuje z pakietami JPP 16/18 i interfejsem za pomocą następujących sygnałów:

– OBJ (0 ÷ 1)	– zwarty sygnał potwierdzenia obecności pakietu JPP 16/18
– WJ (0 ÷ 1)	– wybieranie jednostki (decyduje o wyborze jednego z dwu pakietów JPP 16/18 dla dokonania zapisu lub odczytu
– RAD (0 ÷ 15)	– adresy wysyłane przez procesor do sterowania pamięcią
– AD (4 ÷ 15)	– adresy wewnętrzne wysyłane przez sterowanie do jednostek pamięci
– RQB	– wskaźnik systemu
– RS	– prześlij – sygnał rozkazu z procesora dla dokonania podziału softwerowego pamięci
– CE	– sygnał przygotowania wybranego mikroukładu pamięciowego do operacji zapis – odczyt
– CS	– sygnał wyboru mikroukładu pamięciowego
– WE	– sygnał operacji zapis – odczyt w wybranym mikroukładzie pamięciowym
– RW	– rozkaz "pisz do pamięci"
– RR	– rozkaz "czytaj z pamięci"
– DOK	– potwierdzenie wykonania rozkazu
– CLM	– zerowanie
– RDT (0 ÷ 15)	– linie danych przesyłanych przez procesor do pamięci
+ DT (0 ÷ 16)	– linie zapisu i odczytu danych w nośniku informacji (łącznie z bitem kontroli parzystości
– DDT (0 ÷ 15)	– linie danych przesyłanych z pamięci do procesora
– OPE	– sygnał kontroli parzystości
– RNE (0 ÷ 3)	– numer bloku pamięci
– AS (0 ÷ 1)	– sygnał wyboru jednego z czterech segmentów w jednostce pamięci JPP 16/18
– REF	– sygnał operacji regeneracji informacji w pamięci
+ ZGPN	– zgodność numeru procesora
– VP 5	– potencjał –5V podawany na mikroukłady pamięciowe
– READ	– sygnał operacji odczyt w nośniku informacji.

5.3.7. Obsługa

W jednostkach centralnych MJC–400Pp zastosowano akumulatorowe zasilanie pracujące buforowo z zasilaniem sieciowym. Opis i obsługa zasilacza wraz z modułem baterii znajduje się w DTR tom IV, część 26 i 27. Na pulpicie (dolnym) jednostki MJC–400Pp znajdują się lampki sygnalizacyjne "BATT OK" (żółta) i "ON" (zielona) oraz dwa klucze "BATT" stabilny i "START" – niestabilny. Przystąpienie do pracy polega na:

1/ Włączeniu minikomputera przez przekręcenie kluczyka w stacyjce. Po włączeniu powinny zapalić się lampki "ON" na górnym i dolnym pulpicie jednostki centralnej MJC–400Pp. i MPOP–400.

2/ Włączeniu baterii przez przełączenie stabilnego przełącznika "BATT" do góry, a następnie niestabilnego przełącznika "START" na pulpicie pamięci. Przy właściwym stanie do naładowania baterii powinna zapalić się lampka "BATT OK".

Po zakończeniu pracy należy bezwzględnie wyłączyć baterię przez przełączenie przełącznika "BATT" do dołu. Przy włączonych bateriach i awarii sieci zasilającej informacja w pamięci jest podtrzymywana przez około 1 godzinę. Jest to sygnalizowane lampką "BATT OK". Gdy napięcie baterii spadnie poniżej dopuszczalnej wartości, następuje automatyczne ich odłączenie, gaśnie lampka "BATT OK" i informacja w pamięci ulega zniszczeniu. W czasie pracy przy włączonych bateriach, następuje ich doładowywanie. Każdorazowe wyłączenie systemu z sieci z wyłączeniem baterii (przełącznikiem "BATT" lub automatycznie) powoduje konieczność powtórnego załadowania bootstrapem systemu operacyjnego do pamięci operacyjnej. Praca bez dołączenia baterii do zasilacza jest również możliwa ale każdy nawet chwilowy zanik napięcia sieci spowoduje zniszczenie informacji w pamięci.